

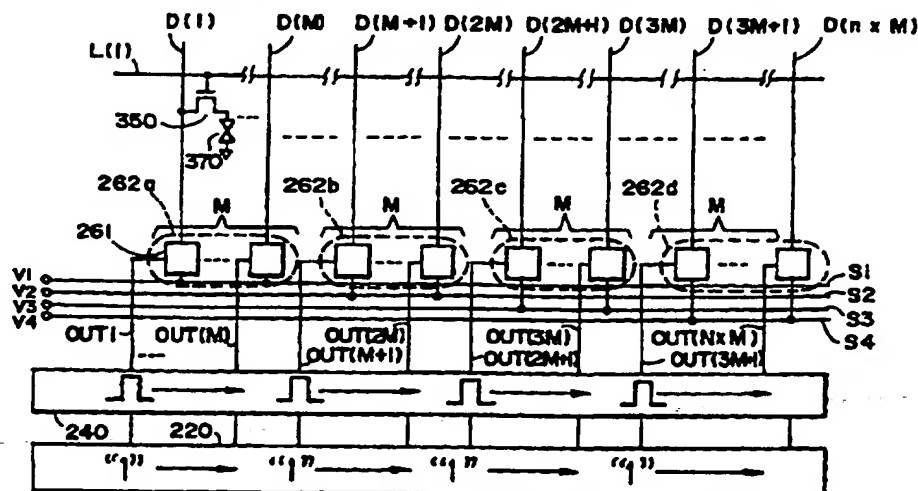


特許協力条約に基づいて公開された国際出願

(51) 国際特許分類6 G09G 3/36	A1	(11) 国際公開番号 WO96/24123 (43) 国際公開日 1996年8月8日 (08.08.96)
(21) 国際出願番号 PCT/JP96/00202 (22) 国際出願日 1996年2月1日 (01.02.96) (30) 優先権データ 特願平7/15120 1995年2月1日 (01.02.95) JP (71) 出願人 (米国を除くすべての指定国について) セイコーエプソン株式会社 (SEIKO EPSON CORPORATION)[JP/JP] 〒163-08 東京都新宿区西新宿2丁目4番1号 Tokyo, (JP) (72) 発明者: および (75) 発明者/出願人 (米国についてのみ) 東清一郎(HIGASHI, Seiichiro)[JP/JP] 〒392 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内 Nagano, (JP) (74) 代理人 弁理士 井上 一, 外(INOUE, Hajime et al.) 〒167 東京都杉並区荻窪五丁目26番13号 荻窪TMビル2階 Tokyo, (JP)		(81) 指定国 CN, JP, KR, SG, US, 欧州特許(AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE). 添付公開書類 国際調査報告書

(54) Title: LIQUID CRYSTAL DISPLAY DEVICE, METHOD OF ITS DRIVING AND METHODS OF ITS INSPECTION

(54) 発明の名称 液晶表示装置、液晶表示装置の駆動方法、および液晶表示装置の検査方法



(57) Abstract

A liquid crystal display device in which high speed driving of data lines is realized by using a technique for simultaneously generating a plurality of pulses by using one shift register. The frequency of an output signal of a shift register can be increased without changing the frequency of the clock signal for operation of the shift register. High speed driving of the data line can be accomplished when the output signal of the shift register is used for determining the timing of sampling of image signals by an analog switch. When the output signal of the shift register is used for determining the latch timing of the image signals in a digital driver, high speed latch of the image signals can be accomplished. Consequently, even when a driving circuit of a liquid crystal display matrix is constituted by TFTs, the high speed operation of the driving circuit becomes possible without increasing power consumption. The shift register can be used for evaluating electrical characteristics of the data line or the analog switch.

(57) 要約

一本のシフトレジスタを用いて複数のパルスと同時に発生させる技術を用いて、データ線を高速に駆動する液晶表示装置である。

シフトレジスタの動作クロックの周波数を変更することなく、シフトレジスタの出力信号の周波数を高くすることができる。シフトレジスタの出力信号を、アナログスイッチによる、映像信号のサンプリングのタイミングを決めるために使用すれば、高速なデータ線の駆動が実現される。

また、上述のシフトレジスタの出力信号を、デジタルドライバにおける映像信号のラッチタイミングを決めるために使用すれば、映像信号の高速なラッチが実現される。したがって、液晶表示マトリクス of 駆動回路をTFTで構成した場合でも、消費電力を増大させずに、駆動回路の高速動作が可能となる。

シフトレジスタは、データ線やアナログスイッチの電気的特性の検査用にも使用できる。

情報としての用途のみ

PCTに基づいて公開される国際出願をパンフレット第一頁にPCT加盟国を特定するために使用されるコード

AL	アルバニア	DE	ドイツ	LI	リヒテンシュタイン	PL	ポーランド
AM	アルメニア	DK	デンマーク	LC	セントルシア	PT	ポルトガル
AT	オーストリア	EE	エストニア	KR	韓国	RO	ルーマニア
AZ	アゼルバイジャン	ES	スペイン	LR	レソト	RU	ロシア
BA	ボスニア・ヘルツェゴビナ	FI	フィンランド	LS	レソト	SE	スウェーデン
BB	バハマ	FR	フランス	LT	リトアニア	SG	シンガポール
BE	ベルギー	GB	グレートブリテン及び北アイルランド連合王国	LV	ラトヴィア	SI	スロベニア
BF	ブルキナファソ	GG	ガナ	MC	モナコ	SK	スロバキア
BG	ブルガリア	GE	グルジア	MD	モルドバ	SZ	スワジランド
BJ	ベナン	GR	ギリシャ	MG	マダガスカル	TD	チュニジア
BR	ブラジル	HU	ハンガリー	MK	マケドニア共和国	TG	トーゴ
BY	ベラルーシ	IE	アイルランド	ML	マリ	TJ	タジキスタン
CA	カナダ	IL	イスラエル	MN	モンゴル	TM	トルクメニスタン
CF	中央アフリカ共和国	IT	イタリア	MR	モーリタニア	TR	トルコ
CG	コンゴ	JP	日本	MW	マラウイ	TT	トリニダード・トバゴ
CH	スイス	KE	ケニア	MX	メキシコ	UA	ウクライナ
CI	コート・ジボワール	KG	キルギスタン	NE	ニジェール	UG	ウガンダ
CN	中国	KP	朝鮮民主主義人民共和国	NL	オランダ	UZ	ウズベキスタン
CU	キューバ	KR	大韓民国	NO	ノルウェー	VN	ベトナム
CZ	チェコ共和国	KZ	カザフスタン	NZ	ニュージーランド		

明 細 書

液晶表示装置、液晶表示装置の駆動方法、および液晶表示装置の検査方法

〔技術分野〕

本発明は、液晶表示装置、液晶表示装置の駆動方法、液晶表示装置の電気的特性の検査方法に関し、特に、液晶表示マトリクスを駆動するためのトランジスタを、液晶表示マトリクス基板上に形成した液晶表示装置等に関する。

〔背景技術〕

薄膜トランジスタ (Thin Film Transistor; 以下、TFTという) をスイッチング素子として用いたアクティブマトリクス型液晶表示装置において、アクティブマトリクスの駆動回路をTFTで構成し、その駆動回路を構成するTFTを、画素部のTFTと同時にアクティブマトリクス基板上に形成できれば、ドライバICを搭載する必要がなくなり便利である。

但し、TFTは、単結晶シリコン基板に集積されたトランジスタに比べて動作スピードが遅く駆動回路の高速化には一定の限界があり、また、駆動回路を高速動作させれば、それだけ消費電力も増大する。

液晶表示装置の駆動回路を高速に動作させるための技術の例としては、日本国の特開昭61-32093号公報に記載の技術、SID Digest, pp 609-612 (1992) に記載の技術がある。

日本国の特開昭61-32093号公報に記載の技術は、駆動回路を複数のシフトレジスタで構成し、各シフトレジスタをそれぞれ、位相が少しずつ異なるクロックで駆動することによって、シフトレジスタの実質的な動作周波数を向上させるものである。

また、SID Digest, pp 609-612 (1992) には、複数のアナログスイッチを、タイミング制御回路の一つの出力で同時に一括して駆動し、映像信号を並列に書き込む技術が開示されている。

また、駆動回路の低消費電力化を図る技術の例としては、特開昭61-32093号公報に記載の技術がある。この技術は、駆動回路を複数のブロックに分割

し、動作しなければならないブロックのみを動作状態とし、他のブロックは非動作状態とすることによって消費電力の削減を図るものである。

しかし、日本国の特開昭61-32093号公報に記載の技術を実施する場合、位相の異なる複数のクロックを用意する必要がある、回路構成の複雑化や端子数の増大を招く。

また、SID Digest, pp609-612 (1992)に記載の技術は、複数のアナログスイッチを一括して駆動するため、負荷が重く、したがって重い負荷を駆動できるバッファを用意する必要がある。また、駆動信号の遅延により、各アナログスイッチの駆動タイミングにもずれが生じやすい。

また、特開昭61-32093号公報に記載の技術は、分割されたブロックを選択的に動作状態とするための制御回路が必要であり、回路の複雑化を招き、また、この技術は駆動回路の高速化には何ら寄与しない。

さらに、上述の従来技術の駆動回路をTFTで構成した場合、いずれの場合も回路が複雑で、回路の電気的特性を正確かつ高速に検査することが難しく、よって信頼性の評価の面では問題がある。

[発明の開示]

本発明は、上述の従来技術の問題点を考慮してなされたものであり、その目的は、高速動作が可能で、ある程度の消費電力の削減も図れ、かつ検査も容易に行える、新規な液晶表示装置やその駆動方法等を提供することにある。

本発明の液晶表示装置の一つの態様では、一本のシフトレジスタを用いて複数のパルスを同時に発生させる。

したがって、シフトレジスタの動作クロックの周波数を変更することなく、シフトレジスタの出力信号の周波数を高くすることができる。同時に発生するパルスの数を「N個（Nは2以上の自然数）」とした場合、シフトレジスタの出力信号の周波数はN倍となる。

上述のシフトレジスタの出力信号を、アナログドライバにおける映像信号のサンプリングタイミングを決めるために使用すれば、高速なデータ線の駆動が実現される。また、上述のシフトレジスタの出力信号を、デジタルドライバにおける映像信号のラッチタイミングを決めるために使用すれば、映像信号の高速なラッ

チが実現される。したがって、液晶表示マトリクス of 駆動回路を T F T で構成した場合でも、消費電力を増大させずに、駆動回路の高速動作が可能となる。

一本のシフトレジスタを用いて複数のパルスと同時に発生させるには、例えば、そのシフトレジスタの入力端に、映像信号の 1 水平期間毎に 1 つの同極性のパルスを入力していき、少なくとも $(N-1)$ 回の水平期間の経過を待って、前記シフトレジスタの各段の出力端より、相互に間隔をおいて並列に走る N 個のパルスが出力されるような定常状態を実現すればよい。

本発明の液晶表示装置の他の態様では、一本のシフトレジスタに加えて、そのシフトレジスタの出力信号を入力とするゲート回路が設けられ、そのゲート回路の出力信号を、データ線駆動回路を構成する回路のタイミング制御信号として使用する。例えば、ゲート回路の出力信号は、アナログドライバにおける映像信号のサンプリングタイミングを決めるタイミング信号として使用でき、デジタルドライバにおける映像信号のラッチタイミングを決めるタイミング信号として使用できる。

例えば、ゲート回路として排他的論理和ゲートを使用し、シフトレジスタの隣り合う段の各出力をその排他的論理和ゲートの入力とし、シフトレジスタに映像信号の 2 水平期間を 1 周期とするクロックを入力とすれば、1 水平期間におけるクロックのレベルの変化数が減少し、より低消費電力化が可能である。

本発明の液晶表示装置の他の態様では、一本のシフトレジスタを活用することにより、液晶表示マトリクス of 電氣的検査を行うことができる構成を実現する。例えば、データ線の一端に検査用信号の入力回路を接続し、データ線 of 他端にアナログスイッチを介して映像信号の入力線を接続しておく。

そして、検査用信号の入力回路を用いてデータ線に検査用の信号を一括して入力し、そのような入力が維持されている状態で、1 本のシフトレジスタより一つのパルスを順次 to 出力させ、そのパルスの各々を用いて複数のアナログスイッチを順次にオンさせ、これにより、前記データ線 of 一端より送信された検査用の信号を、アナログスイッチおよび映像信号の入力線を介して受信することにより、データ線 or アナログスイッチ of 電氣的特性の検査を行うことができる。例えば、データ線 or アナログスイッチ of 周波数特性やデータ線 of 断線等を正確かつ高速に

検出可能である。

[図面の簡単な説明]

図 1 A は、本発明の液晶表示装置の一実施例の全体構成を示す図であり、図 1 B は画素部の構成を示す図であり、

図 2 は、図 1 に示される実施例の特徴を説明するための図であり、

図 3 は、図 2 に示される回路構成をより具体化して示す回路図であり、

図 4 A は、原映像のデータ配列を示す図であり、図 4 B は、本発明に用いられる手法により、原映像のデータを時系列に配置した場合のデータ配列の例を示す図であり、

図 5 は、アナログ映像信号を、図 4 B に示されるような多重化された信号に加工するための回路構成の例を示す図であり、

図 6 は、図 5 の回路の主要な動作を説明するための図であり、

図 7 は、デジタル映像信号を図 4 B に示されるような多重化された信号に加工するための回路構成の例を示す図であり、

図 8 は、デジタル線順次方式の液晶マトリクス駆動回路の構成例を示す図であり、

図 9 は、図 1 A、図 2、図 3 に示される回路の動作タイミングを示すタイミングチャートであり、

図 10 は図 1 A、図 2、図 3 に示される回路における、アナログスイッチ 261 の出力信号の出力タイミングを示すタイミングチャートであり、

図 11 A は、比較例の回路構成を示す図であり、図 11 B は、図 11 A の回路の問題点を示す信号の波形図であり、

図 12 A は、図 1 ～図 3 に示される本発明の液晶表示装置の要部を抜き出して示す図であり、図 12 B は図 12 A の回路の利点を示す、信号の波形図であり、

図 13 A は、本発明の液晶表示装置の他の実施例の要部構成を示す図であり、図 13 B は、図 13 A の回路の動作例を説明するためのタイミングチャートであり、

図 14 は、図 13 A に示す回路の他の動作例を示すタイミングチャートであり、

図 15 は、本発明の液晶表示装置の他の実施例の全体構成を示す図であり、

図 1 6 A は、図 1 5 の回路におけるデータ線の配列を示す図であり、図 1 6 B は、本発明の駆動回路の通常動作を示す図であり、図 1 6 C は図 1 6 B の駆動回路の欠陥検査時の動作例を示す図であり、

図 1 7 は、図 1 6 C に示される本発明の駆動回路の欠陥検査時の動作を、より具体的に説明するためのタイミングチャートであり、

図 1 8 A は、本発明の駆動回路の要部構成を示す図であり、図 1 8 B は、図 1 8 A の回路の欠陥検査時の動作の一例を示す図であり、

図 1 9 A は、本発明の駆動回路の要部構成を示す図であり、図 1 9 B は、図 1 9 A の駆動回路の通常動作例を示すタイミングチャートであり、

図 2 0 は、本発明の液晶表示装置の他の実施例の構成を示す図であり、

図 2 1 は、液晶表示装置の構造を示す斜視図であり、

図 2 2 A ～ 図 2 2 E はそれぞれ、ドライバ部を構成する T F T とアクティブマトリクスを構成する T F T とを同時に形成する製造プロセスの例を示す、各工程におけるデバイスの断面図であり、

図 2 3 A は、p チャンネル T F T と n チャンネル T F T の電圧－電流特性を示す図であり、図 2 3 B は、p チャンネル T F T および n チャンネル T F T を用いたバッファ回路の回路図であり、図 2 3 C は、図 2 3 B の回路の入力波形と出力波形を示す図であり、

図 2 4 A は、p チャンネル T F T および n チャンネル T F T を用いたナンドゲートを示し、図 2 4 B は、図 2 4 A の回路の入力波形と出力波形を示す図であり、図 2 4 C は、p チャンネル T F T および n チャンネル T F T を用いた排他的論理和ゲートを示す図であり、図 2 4 D は、図 2 4 C の回路の入力波形と出力波形を示す図であり、

図 2 5 A は、アナログスイッチの構成の一例を示す図であり、図 2 5 B は、アナログドライバの構成を示す図である。

[発明を実施するための最良の形態]

以下、本発明の実施例を用いて、本発明の内容をより詳細に説明する。

(実施例 1)

(全体構成)

図 1 A は本発明の液晶表示装置の一実施例の構成を示し、図 1 B はアクティブマトリクス型液晶表示装置における画素部の構成を示す図である。

本実施例は、アナログスイッチ（スイッチ回路）を用いてデータ線を駆動する方式を採用した液晶表示装置である。

また、本実施例では、データ線駆動回路を構成するトランジスタとして T F T を使用している。その T F T は、画素部のスイッチング用 T F T と同時に基板上に形成されたものである。その製造プロセスについては、後述する。

画素部（アクティブマトリクス）300における1つの画素は、図1Bに示すように、スイッチング用の T F T 350 と液晶素子 370 とで構成される。T F T 350 のゲートは走査線 L (k) に接続され、ソース（ドレイン）はデータ線 D (k) に接続されている。

走査線 L (k) は、図 1 A に示される走査線駆動回路 100 により駆動され、データ線 D (k) は、図 1 A に示されるデータ線駆動回路 200 により駆動される。

データ線駆動回路 200 は、データ線の本数に対応する段数を少なくとも具備するシフトレジスタ 220 と、ゲート回路 240 と、N 本（本実施例では 4 本）の映像信号線（S1～S4）に接続される複数のアナログスイッチ 261 とを有している。

N 本の映像信号線（S1～S4）が用意されているということは、映像信号が多重化されていてかつ、その多重度が「N」であることを意味する。

複数のアナログスイッチは、任意の M 個毎（本実施例では、4 個毎）にグループ化され、そのグループの総数は映像信号線の総数（すなわち「N」）に等しい。つまり、本実施例ではアナログスイッチのグループ数は「4」個であり、一つのグループに属する各アナログスイッチは 1 本の映像信号線に共通に接続されている。

図 1 A 中、「V1」、「V2」、「V3」、「V4」は多重化された映像信号を示し、「SP」はシフトレジスタ 220 に入力されるスタートパルスを示し、「CL1」、「nCL1」は動作クロックを示す。なお、「CL1」と「nCL1」は位相が 180 度ずれたパルスである。以下の説明において、他のパルス信

号についても、位相が180度ずれたクロックは冒頭に「n」を付して表すこととする。また、正極性のパルスがデジタル値の「1」に対応し、負極性のパルスがデジタル値の「0」に対応する。

また、映像信号の多重化の意味が図4Bに示されている。図4Aに示すように、1番目から16番目までの映像信号を例にとると、通常、各信号は時系列的に順番に配置されている。

一方、本実施例のように多重度「4」で映像信号を多重化すると、図4Bに示すように、時刻t1において、映像信号V1～V4にはそれぞれ、「1番目」，「5番目」，「9番目」，「13番目」の各信号が同時に現れる。以下、同様に、時刻t2には「2番目」，「6番目」，「10番目」，「14番目」の各信号が同時に現れ、時刻t3には「3番目」，「7番目」，「11番目」，「15番目」の各信号が同時に現れ、時刻t4には「4番目」，「8番目」，「12番目」，「16番目」の各信号が同時に現れる。

映像信号の多重化は、例えば、図6に示すようにアナログ映像信号を少しずつ遅延させて、位相が少しずつ異なる複数の映像信号を作成することにより可能である。そのような映像信号の遅延は、例えば、図5に示すような遅延回路1200を用いて実現できる。遅延回路1200は同じ遅延量をもつ4つの遅延回路1202～1207を直列に接続してなり、各遅延回路の出力をデータ線駆動回路200に供給する。なお、図5において、参照番号1000はアナログ映像信号発生装置であり、参照番号1100はタイミングコントローラである。

本実施例では、このように映像信号を多重化しておき、一方、一本のシフトレジスタを用いて多重度に応じた数のパルスを同時に発生させ、複数のアナログスイッチを同時に駆動して、映像信号を同時に複数のデータ線に供給することにより、データ線駆動の高速化が図られる。

なお、液晶表示装置は、実際は、図21に示されるように、アクティブマトリクス基板3100と対向基板3000とを張り合わせて構成される。各基板の間に液晶が封入されている。

(データ線駆動回路の具体的構成)

本実施例は、データ線駆動回路200における動作に特徴があり、以下、具体

的に説明する。

図2に示されるように、本実施例では、シフトレジスタ220において、所定間隔において複数の正極性のパルス（1つのパルスはデータ「1」に対応する）が同時にシフトされ、これに対応してシフトレジスタの各段から、相互に間隔をおいて並列に走る複数のパルスが出力される。並列に走るパルスの数は、上述の映像信号の多重度「N」に等しい。つまり、本実施例では「4」個である。

それらのパルスは、アナログスイッチ261の動作タイミングを決定するために使用される。具体的には、それらのパルスはゲート回路240に入力され、そのゲート回路240の出力端（OUT1～OUT（N×M））から、相互に間隔をおいて並列に走る複数のパルスが出力される。

そして、本実施例では、ゲート回路240から出力されるそれらのパルスは、アナログスイッチによる映像信号のサンプリングのタイミングを決定するために用いられる。

ゲート回路240は、波形整形のために使用される。つまり、p型のTFTとn型のTFTとでは、図23Aに示すように電圧－電流特性に差があり、したがって、それらのTFTを出力段トランジスタとして用いて図23Bのようなバッファを構成すると、図23Cに示すように、パルス入力に対して出力波形が鈍り、信号の遅延が生じる。このような遅延を抑制するため、ゲート回路240を設けるのが望ましいのである。しかし、必ず必要というものではなく、シフトレジスタ220の出力信号で、直接にアナログスイッチ261を駆動してもよい。

データ線駆動回路200の、より具体的な回路構成が図3に示される。

図3に明示されるように、アナログスイッチ261は、MOSトランジスタ410により構成されている。また、参照番号412は、データ線自体がもつ容量（以下、データ線容量という）である。

また、シフトレジスタ220を構成する一つの段（参照番号500）は、インバータ504と、クロックドインバータ502，506とからなっている。

また、ゲート回路240は、シフトレジスタの隣り合う2つの段の出力を入力とする2入力ナンドゲート241～246を具備している。

（回路動作の説明）

次に、図 9 および図 10 を用いて、図 3 に示される回路の動作を具体的に説明する。図 9 は、シフトレジスタ 220 から並列に走る 4 つのパルスが定常的に出力されるようになるまで（その状態が図 10 に示される）の動作のうちの、初期段階の動作を示している。

図 9 において、「a」～「g」は、図 3 に示される、シフトレジスタ 220 の各段の出力端における信号波形を示し、「OUT 1」～「OUT 6」は、同じく図 3 に示されるナンドゲート 241～246 のそれぞれの出力信号の波形を示す。また、「GP」は一本の走査線の選択パルスであり、「H_{1st}」は 1 番目の選択期間を示し、「H_{2nd}」は 2 番目の選択期間を示す。また、上述したように、「CL 1」, 「nCL 1」は動作クロックであり、「SP」はスタートパルスである。図 10 においても同様である。

図 9 に示されるように、1 選択期間（1H）に 1 個のスタートパルス（SP）をシフトレジスタ 220 に順次に入力していくと、それに対応してシフトレジスタ 220 の各段から一つのパルスが出力され、そのパルスは順次にシフトされていく。これに応じて、ナンドゲート 241～246 のそれぞれから順次に 1 つのパルスが出力される。

このような動作が繰り返され、図 10 に示すように、4 番目の選択期間「H_{4th}」の開始時点（時刻 t₂）において、初めて、4 つのパルスが、ゲート回路 240 より同時に出力される（OUT 1, OUT 11, OUT 21, OUT 31）。以後、各パルスは相互の間隔を保ちながら同一方向に並列に走るようになり、4 つのパルスが同時に出力される状態が定常的に実現される。

このようにして得られた、同時に出力される 4 つのパルスでもって、図 3 の各アナログスイッチ 261 を構成する MOS トランジスタ 410 を同時にオンさせ、多重化された映像信号を同時にサンプリングし、対応する 4 本のデータ線に同時に映像信号を供給する。

すなわち、パルスが入力されると MOS トランジスタ 410 がオンし、データ線（D（n））と映像信号線（S1～S4）とが電氣的に接続され、アナログビデオ信号がデータ線容量 412 に書き込まれる。そして、MOS トランジスタ 410 がオフすると、書き込まれた信号がデータ線容量 412 に保持される。つま

り、データ線容量 4 1 2 がホールディングコンデンサの役割を果たす。データ線のドライバがアナログスイッチのみで構成されているので、回路構成が簡単で集積度を高めることができ、また、映像信号のサンプリングも正確に行うことができる。なお、比較的小型の液晶パネルの場合、本実施例のようなアナログスイッチのみのドライバでデータ線を十分に駆動可能である。

このように、本実施例では、まず、一本のシフトレジスタを用いて複数のパルスを同時に発生させる。したがって、シフトレジスタの動作クロックの周波数を変更することなく、シフトレジスタの出力信号の周波数を高くすることができる。同時に発生するパルスの数を「N個（Nは2以上の自然数）」とした場合、シフトレジスタの出力信号の周波数はN倍となる。

そして、シフトレジスタの各出力信号を、アナログスイッチによる映像信号のサンプリングのタイミングを決めるために使用することにより、高速なデータ線の駆動が実現される。したがって、液晶表示マトリクス of 駆動回路を T F T で構成しても、消費電力を増大させずに、高速なデータ線の駆動が可能である。

なお、アナログスイッチとしては、1個のMOSトランジスタのみからなるものだけでなく、図 2 5 A に示すようなCMOSで構成されるスイッチも使用可能である。CMOSスイッチは、MOSトランジスタ 4 1 4, 4 1 6 と、インバータ 4 1 8 とで構成されている。

また、データ線ドライバとして、図 2 5 B のようなアナログドライバを用いることも可能である。アナログドライバは、MOSトランジスタ 4 4 0 およびホールディングコンデンサ 4 2 0 からなるサンプル・ホールド回路と、バッファ回路（ボルテージフォロワ） 4 0 0 とで構成されている。

さらに、本実施例は、以下に述べるような優れた独自の効果を有している。以下、比較例と対比して、その効果について説明する。

（比較例との対比）

図 1 1 A は比較例のデータ線駆動回路の構成を示す図であり、図 1 1 B は図 1 1 A の構成の問題点を示す図である。

図 1 1 A の比較例では、シフトレジスタ（S R）およびゲート回路を複数設け（2 2 2 ～ 2 2 6, 2 4 2 ～ 2 4 6）、シフトレジスタ（S R）のそれぞれに、

個別にスタートパルス（SP）を供給するようにしている。そのスタートパルスのシフトレジスタへの入力は、専用の配線S10を介して行う必要がある。

この場合、スタートパルス入力用の配線S10が、各シフトレジスタ222，224，226へ動作クロック（CL1，nCL1）を入力するための配線S20と交差し、その結果、図11Bに示すように、スタートパルスにノイズが重畳されることになる。

また、スタートパルスの入力用配線S10の長さは、少なくとも10 μ m程度になり、よって微細化の大きな障害となる。

さらに、その配線の抵抗によってスタートパルスが遅延し、各シフトレジスタへの入力タイミングに差が生じる恐れもある。

これに対し、本実施例のデータ線駆動回路では、図12Aに示されるように、1本のシフトレジスタ220の左端から所望のタイミングでスタートパルス（SP）を入力すればよく、スタートパルス用の専用配線は不要である。

したがって、本実施例では、図11Bに示すようにスタートパルスにノイズが重畳することがなく、また、レイアウト面積の削減も図れる。

また、一本のシフトレジスタを用いて複数のパルスを生成するので、スタートパルスの遅延も生じない。

このように、本発明によれば、回路の微細化とシフトレジスタの動作クロックの周波数の低減とを両立できる。したがって、例えば、データ線駆動回路を構成するTF Tとして、低温プロセスを用いて作成したTF Tを用いた場合でも高速かつ正確な動作が確保される。

したがって、本実施例を用いれば、駆動回路をTF Tで構成した液晶表示装置の性能を高めることができる。

（TF Tの製造プロセス）

図22A～図22Eに、ドライバ部のTF Tと、アクティブマトリクス部（画素部）のTF Tとを同時に基板上に形成する場合の、製造プロセス（低温製造プロセス）の一例が示されている。本製造プロセスにより製造されるTF Tは、ポリシリコンを用いた、LDD（Lightly Doped Drain）構造のTF Tである。

まず、ガラス基板 4000 上に絶縁膜 4100 を形成し、絶縁膜 4100 上にポリシリコンアイランド (4200a, 4200b, 4200c) を形成し、続いて、全面にゲート酸化膜 4300 を形成する (図 22A)。

次に、ゲート電極 4400a, 4400b, 4400c を形成した後、マスク材 4500a, 4500b を形成し、次に、ボロンを高濃度にイオン打ち込みし、p 型のソース・ドレイン領域 4702 を形成する (図 22b)。

次に、マスク材 4500a, 4500b を除去し、リンをイオン打ち込みし、n 型のソース・ドレイン領域 4700, 4900 を形成する (図 22C)。

続いて、マスク材 4800a, 4800b を形成した後、リンをイオン打ち込みする (図 22D)。

続いて、層間絶縁膜 5000、金属電極 5001, 5002, 5004, 5006, 5008、最終保護膜 6000 を形成して、デバイスが完成する。

(実施例 2)

本発明は、アナログ方式のドライバを用いたデータ線駆動回路のみならず、デジタルドライバを用いたデータ線駆動回路にも適用が可能である。

図 8 は、デジタルドライバを用いた線順次駆動方式のデータ線駆動回路の構成例を示す。

この回路の構成の特徴は、デジタル映像信号 (V1a~V1d) を取り込んで一時的に記憶する第 1 のラッチ 1500 と、この第 1 のラッチ 1500 の各ビットのデータを一括して取り込んで一時的に記憶する第 2 のラッチ 1510 と、この第 2 のラッチ 1510 の各ビットのデジタルデータを同時にアナログ信号に変換し、全データ線を同時に駆動する D/A コンバータ 1600 とを有していることである。

このようなデジタルドライバを用いた回路においても、デジタル映像信号 (V1a~V1d) を第 1 のラッチ 1500 に取り込む方式として、前掲の第 1 の実施例で示した技術を適用できる。つまり、デジタル映像信号 (V1a~V1d) を多重化し、かつ一本のシフトレジスタ 220 から複数のパルスを同時に発生させ、それらのパルスを用いてデジタル映像信号の複数のデータを並列にラッチすることにより、シフトレジスタの動作クロックの周波数を高めることなく、デジ

タル映像信号のラッチを高速化できる。

デジタル映像信号の多重化は例えば、図7に示される、データの組み替え回路1270により実現できる。なお、図7において、参照番号1000はアナログ映像信号発生装置を示し、参照番号1250はA/D変換回路を示し、参照番号1260は γ 補正用ROMを示し、参照番号1110はタイミングコントローラを示す。

なお、線順次駆動方式のデジタルドライバに限定されず、点順次駆動方式のデジタルドライバにも同様に、本発明は適用可能である。

(実施例3)

本発明の第3の実施例の特徴が図19A、図19Bに示されている。第1の実施例では、ゲート回路240をナンドゲートで構成していたが(図3)、本実施例では、ゲート回路240を排他的論理和ゲート251で構成している。排他的論理和ゲート251は、シフトレジスタの隣接する2つの段の出力(a, b . . .)を入力とし、映像信号のサンプリングタイミングを決めるために使用されるパルス(X, Y, Z . . .)を出力する。

排他的論理和ゲート251を用いる利点は、スタートパルス(SP)の1周期を2選択期間(選択期間の2倍)とすると消費電力の低減が可能となる点と、出力パルスの後端が急峻となってパルス幅が広がるのを防ぐことができる点である。

すなわち、図3に示すように、スタートパルス(SP)の1周期を2選択期間(選択期間の2倍)とすると、図9に示されるのと同様の回路動作によって並列にパルスが出力されると共に、1選択期間あたりの、シフトレジスタの各段の出力(a, b . . .)のレベル変化の回数が、図9のような動作が行われる場合に比べて半分となる。

つまり、図19Aの「b」点における1選択期間(1H)内の信号のレベル変化は、図19Bに示すように、1回である。つまり、1選択期間(1H)にはポジティブエッジR3が1つ存在するだけである。

これに対し、図9に示す回路動作では、「b」点における信号レベルは1選択期間(1H)内で2回変化している。つまり、1選択期間(1H)には、ポジティブエッジR1とネガティブエッジR2の2つが存在する。したがって、図9の

場合に比べ、図 19 の場合は信号レベルの遷移回数が半減しており、それに伴い、消費電力が約半分となる。

また、図 24 B に示すように、2 入力ナンドゲート（図 24 A に示される）の場合、1 つの入力のポジティブエッジと他の入力のネガティブエッジとで出力パルスのパルス幅（T 1）が決定されるのに対し、2 入力排他的論理和ゲート（図 24 C）の場合、図 24 D に示されるように、2 つの入力のポジティブエッジで出力パルスのパルス幅（T 2）が決定される。このため、出力パルスの後端が急峻となってパルス幅が広がるのを防止できる。

（実施例 4）

図 13 A に本発明の第 4 の実施例の要部構成が示される。

本実施例の特徴は、図 1 のゲート回路 240 を、シフトレジスタの各段の出力と出力イネーブル信号（E，n E）とを入力とするナンドゲート（241，242，243，244・・・）で構成したことである。

出力イネーブル信号（E，n E）による制御を可能としたことにより、シフトレジスタの出力のレベルとゲート回路の出力のレベルとを独立して制御可能となる。この特徴を活用すると、回路の動作中に、ナンドゲート（241，242，243，244・・・）からのパルスの発生（ネガティブエッジ発生）を一時的に中断させることができ、かつ、その中断を解いて、パルスの発生を再開させることが可能となる。

例えば、図 13 B において、時刻 t 4～時刻 t 6（期間 T S 1）において、ナンドゲート（241，242，243，244・・・）からのパルスの発生を停止させ、かつ、時刻 t 6 にパルスの発生を再開させる場合を考える。

このような動作は、期間 T S 1 において動作クロック C L 1，n C L 1 を停止し、一方、出力イネーブル信号（E）を時刻 t 4～時刻 t 5 までローレベルに固定しておき、時刻 t 5 において、動作クロックと同じ周期での変化を再開させることにより実現される。出力イネーブル信号（n E）については、時刻 t 6 より動作クロックと同じ周期での変化を再開させればよい。

このようなパルスの発生を停止する技術は、例えば、水平帰線期間（B L）における映像信号のサンプリングを禁止するために利用できる。

図 1 4 に、実際の回路において、水平帰線期間（時刻 $t_{12} \sim t_{13}$ ）にゲート回路からのパルスの発生を停止させる場合の動作が示される。図 1 4 中、例えば、「157」は、一本のシフトレジスタの「第 157 段の出力」を示し、「OUT 159」は、「第 159 番目のナンドゲートの出力」を示す。

図 1 4 に明示されるように、水平帰線期間（時刻 $t_{12} \sim t_{13}$ ）にゲート回路からのパルスの発生を停止させるためには、時刻 $t_1 \sim t_{14}$ において、動作クロック（CL1, nCL1）およびイネーブル信号（n, nE）を停止させればよい。

（実施例 5）

図 1 に示す液晶表示装置は、データ線等の電気的特性の検査にも適している。すなわち、図 1 5 の上側に示すように、検査用信号の入力回路 2000 を設けることにより、データ線やアナログスイッチの周波数特性や、データ線の断線等を正確かつ高速に検出可能となる。

図 1 5 において、データ線の一端に検査用信号の入力回路 200 が接続され、データ線他端に、アナログスイッチ 261 を介して映像信号の入力線 S1 が接続されている。図 1 5 において、「TG」はテストイネーブル信号を示し、「TC」は電源電圧を示す。

検査は、以下のように行われる。

まず、テストイネーブル信号「TG」をアクティブとし、各データ線に電源電圧（検査用電圧）を一括して供給する。

そのような電圧印加状態において、1 本のシフトレジスタより一つのパルスを順次に出力させる。すると、ゲート回路 240 から 1 個のパルスが順次に出力される。そのパルスによりアナログスイッチが順次にオンし、これにより、データ線の一端より供給された電圧を、アナログスイッチ 261 および映像信号の入力線 S1 を介して受信でき、これにより、データ線やアナログスイッチの電気的特性の検査を行うことができる。

このように、本実施例では、1 本のシフトレジスタから 1 個ずつ順次にパルスを発生させることが必要である。つまり、図 1 6 A に示すようにデータ線が配列されていて、前掲の実施例では、図 1 6 B に示すように複数本同時にデータ線を

駆動する方式を採用していたが、本実施例では、図 16 C に示すように、一本ずつ順次に駆動する方式に切り替えることが必要である。

このような切り替えは、図 17 に示すように、スタートパルスを入力方式を変更することで容易に行える。つまり、図 17 に示すように、1 番目の選択期間 (H_{1st}) の最初に 1 つのスタートパルス (S P) を入力し、そのパルスを全段数に渡ってシフトさせれば、順次に 1 つのパルスが発生し、各選択期間毎に 1 つのスタートパルス (S P) を入力すれば、図 10 に示すように、複数のパルスを同時に発生させることができる。

1 本のシフトレジスタから 1 個ずつ順次にパルスを発生させることにより、データ線の電気的特性を一本毎に調べることができ、検査が容易となる。

なお、図 18 A の構成を用いた場合、図 18 B に示されるように、所定期間 T S 3 において、シフトレジスタの動作クロック C L 1, n C L 1 を停止させれば、その期間内では、ナンドゲートの出力 (O U T 1) のみがハイレベルとなる。よって、対応するアナログスイッチのみがオンし、所定期間 T S 3 においては、第 1 番目のデータ線のみをじっくりと検査できる。

また、図 20 では、専用の検査用信号の入力回路 2 0 0 0 の代わりに、線順次デジタルドライバ 2 1 4 (図 8 の構成と同一である) を設けてもよい。この場合、デジタルドライバ 2 1 4 は、本来のデータ線を駆動するという働きの他に、検査用信号の入力回路としても機能することになる。

図 20 の構成では、アナログ映像信号に基づくデータ線駆動およびデジタル映像信号に基づくデータ線駆動の双方が可能である。

以上説明した本発明の液晶表示装置をパーソナルコンピュータ等の機器における表示装置として使用すれば、製品の価値が向上する。

請 求 の 範 囲

(1) 走査線とデータ線の交点に一つの液晶表示画素が形成されている液晶表示マトリクスと、前記走査線を駆動する走査線駆動回路と、前記データ線を駆動するデータ線駆動回路と、を有する液晶表示装置であって、

前記データ線駆動回路は、前記データ線の本数に対応する段数を、少なくとも具備する1本のシフトレジスタを有しており、

前記1本のシフトレジスタ内で、複数のパルスが相互に間隔をおいて同時にシフトされ、これによって、前記シフトレジスタの各段の出力端より、相互に間隔をおいて並列に走る複数のパルスが出力され、それら複数のパルスの各々が、前記データ線駆動回路を構成する回路の動作タイミングを決定するために用いられることを特徴とする液晶表示装置。

(2) 請求項1において、

前記データ線駆動回路は、データ線の各々に対応して設けられた、映像信号をサンプリングするための複数のスイッチ回路を有し、

前記複数のパルスの各々が、前記複数のスイッチ回路の各々による映像信号のサンプリングのタイミングを決定するために用いられることを特徴とする液晶表示装置。

(3) 請求項2において、

前記映像信号は、相互に間隔をおいて並列に走る前記複数のパルスの数に応じて多重化されていることを特徴とする液晶表示装置。

(4) 請求項3において、

相互に間隔をおいて並列に走る前記複数のパルスの総数は「N個（Nは2以上の自然数）」であり、

また、前記複数のスイッチ回路は「M個（Mは2以上の自然数）」毎にグループ化されて計N個のグループに分割されており、

また、前記映像信号を入力するための映像信号入力線はN本からなり、

一つのグループに属する前記M個のスイッチ回路は、前記N本の映像信号線のうちの一本に共通に接続されていることを特徴とする液晶表示装置。

(5) 請求項 1 において、

前記データ線駆動回路は、デジタル化された映像信号を一時的に記憶するラッチ回路を有し、そのラッチ回路は、前記データ線の本数に対応するビット数を、少なくとも有しており、

前記複数のパルスの各々が、前記ラッチ回路の各ビットにおける映像信号の取り込みタイミングを決定するために用いられることを特徴とする液晶表示装置。

(6) 請求項 5 において、

前記映像信号は、相互に間隔をおいて並列に走る前記複数のパルスの数に応じても多重化されていることを特徴とする液晶表示装置。

(7) 請求項 6 において、

相互に間隔をおいて並列に走る前記複数のパルスの総数は「 N 個 (N は 2 以上の自然数)」であり、

また、「 M ビット (M は 2 以上の自然数)」のラッチ回路が N 個配置されており、

また、前記映像信号を入力するための映像信号入力線は N 本からなり、

前記 N 個のラッチの各々は、前記 N 本の映像信号入力線の各々に接続されていることを特徴とする液晶表示装置。

(8) 請求項 1 において、

液晶表示装置はさらに、前記シフトレジスタの隣り合う複数の段の各出力を入力とする複数のゲート回路を具備し、それらのゲート回路の各々の出力が、データ線駆動回路を構成する回路のタイミング制御信号として用いられることを特徴とする液晶表示装置。

(9) 請求項 8 において、

前記複数のゲート回路は、排他的論理和回路であることを特徴とする液晶表示装置。

(10) 請求項 1 において、

液晶表示装置はさらに、前記シフトレジスタの各段の各出力を入力とする、前記シフトレジスタの段数に対応した数のゲート回路を具備しており、それらのゲート回路の各々の出力が、データ線駆動回路を構成する回路のタイミング制御信

号として用いられ、

かつ、前記前記ゲート回路のそれぞれには、そのゲート回路の出力信号のレベル変化を強制的に停止させるための出力イネーブル信号が入力されていることを特徴とする液晶表示装置。

(11) 請求項10において、

映像信号が入力されないブランキング期間において、前記出力イネーブル信号は所定のレベルに固定され、これにより前記各ゲート回路の出力信号のレベル変化が強制的に停止させられることを特徴とする液晶表示装置。

(12) 請求項1において、

液晶表示装置は、スイッチング素子を介して各液晶表示画素を駆動するアクティブマトリクス型液晶表示装置であり、

前記データ線駆動回路を構成するトランジスタの少なくとも一部は、前記スイッチング素子の製造工程を共用してアクティブマトリクス基板上に形成されたことを特徴とする液晶表示装置。

(13) 請求項12において、

前記スイッチング素子および前記データ線駆動回路を構成するトランジスタは、薄膜トランジスタ (Thin Film Transistor; TFT) であることを特徴とする液晶表示装置。

(14) 走査線とデータ線との交点に一つの液晶表示画素が形成され、その液晶表示画素にはスイッチング素子が接続されているアクティブマトリクスと、

前記走査線を駆動する走査線駆動回路と、

前記データ線を駆動するデータ線駆動回路と、

検査用の信号を前記データ線の各々の第1の端より一括して入力することができる検査用信号の入力回路と、を有する液晶表示装置であって、

前記データ線駆動回路は、

前記データ線の本数に対応する段数を少なくとも具備する1本のシフトレジスタと、

前記データ線の各々の前記第1の端とは反対側に位置する第2の端より、液晶表示用信号を供給する機能をもつ複数のスイッチ回路とを有し、

各スイッチ回路はそれぞれ、前記液晶表示用信号を入力するための入力線に接続されており、

かつ、前記1本のシフトレジスタ内で一つのパルスが順次にシフトされ、これによって、前記シフトレジスタの各段の出力端より一つのパルスが順次に出力され、そのパルスの各々が、前記複数のスイッチ回路を順次にオンさせるために使用されることを特徴とする液晶表示装置。

(15) 請求項14において、

前記データ線駆動回路を構成するトランジスタの少なくとも一部は、前記アクティブマトリクスを構成するスイッチング素子の製造工程を共用してアクティブマトリクス基板上に形成されたことを特徴とする液晶表示装置。

(16) 請求項15において、

前記スイッチング素子および前記データ線駆動回路を構成するトランジスタは、薄膜トランジスタ (Thin Film Transistor; TFT) であることを特徴とする液晶表示装置。

(17) 走査線とデータ線の交点に一つの液晶表示画素が形成されている液晶表示装置の駆動方法であって、

前記データ線の駆動回路の構成要素として、前記データ線の本数に対応する段数を少なくとも具備する1本のシフトレジスタを設け、

そのシフトレジスタの入力端に、映像信号の1水平期間毎に1つの同極性のパルスを入力していき、少なくとも $(N-1)$ 回の水平期間の経過を待って、前記シフトレジスタの各段の出力端より、相互に間隔をおいて並列に走る N 個のパルスが出力されるような状態を実現し、

前記 N 個のパルスの各々を、前記データ線駆動回路を構成する回路のタイミング制御信号として用いて前記データ線を駆動することを特徴とする液晶表示装置の駆動方法。

(18) 請求項17において、

前記映像信号は、相互に間隔をおいて並列に走る前記複数のパルスの数 (N) に応じて並列化されており、

前記シフトレジスタを駆動するクロック周波数が、並列化される前の原映像信

号の周波数の $1/N$ 以下であることを特徴とする液晶表示装置の駆動方法。

(19) 走査線とデータ線の交点に一つの液晶表示画素が形成されている液晶表示装置の駆動方法であって、

前記データ線の駆動回路の構成要素として、前記データ線の本数に対応する段数を少なくとも具備する1本のシフトレジスタと、このシフトレジスタの隣り合う複数の段の各出力を入力とする複数の排他的論理和回路とを設け、

前記シフトレジスタの入力端に、映像信号の2水平期間を1周期とするパルスを入力し、前記シフトレジスタの各段の出力端より、相互に間隔をおいて並列に走る複数個のパルスが出力されるような状態を実現し、

前記複数個のパルスの各々を、前記データ線駆動回路を構成する回路のタイミング制御信号として用いて前記データ線を駆動することを特徴とする液晶表示装置の駆動方法。

(20) 走査線とデータ線との交点に一つの液晶表示画素が形成され、その液晶表示画素にはスイッチング素子が接続されているアクティブマトリクスと、前記走査線を駆動する走査線駆動回路と、前記データ線を駆動するデータ線駆動回路と、検査用の信号を前記データ線の各々の第1の端より一括して入力することができる検査用信号の入力回路とを有し、前記データ線駆動回路は、前記データ線の本数に対応する段数を少なくとも具備する1本のシフトレジスタと、前記データ線の各々の前記第1の端とは反対側に位置する第2の端より、液晶表示用信号を供給する機能をもつ複数のスイッチ回路とを有し、各スイッチ回路はそれぞれ、前記液晶表示用信号を入力するための入力線に接続されている液晶表示装置の検査方法であって、

前記検査用信号の入力回路によって、前記データ線の各々の第1の端より前記検査用の信号を入力し、

そのような入力が維持されている状態で、前記1本のシフトレジスタ内で一つのパルスを順次にシフトし、これによって、前記シフトレジスタの各段の出力端より一つのパルスを順次に出力させ、そのパルスの各々が、前記複数のスイッチ回路を順次にオンさせるために使用されて、その結果として前記スイッチ回路が順次にオンし、これにより前記データ線の一端より送信された前記検査用の信号

を、前記スイッチ回路および前記液晶表示用信号を入力するための前記入力線を介して受信して、前記データ線および前記スイッチ回路の電気的特性の検査を行うことを特徴とする液晶表示装置の検査方法。

(21) 請求項20において、

特定のデータ線と、前記データ線に対応するスイッチ回路とを検査する場合に、前記シフトレジスタへのクロック供給を停止し、これにより、前記特定のスイッチ回路のみをオン状態とし、これにより、前記特定のデータ線および対応するスイッチ回路の検査を行うことを特徴とする液晶表示装置の検査方法。

FIG. 1A

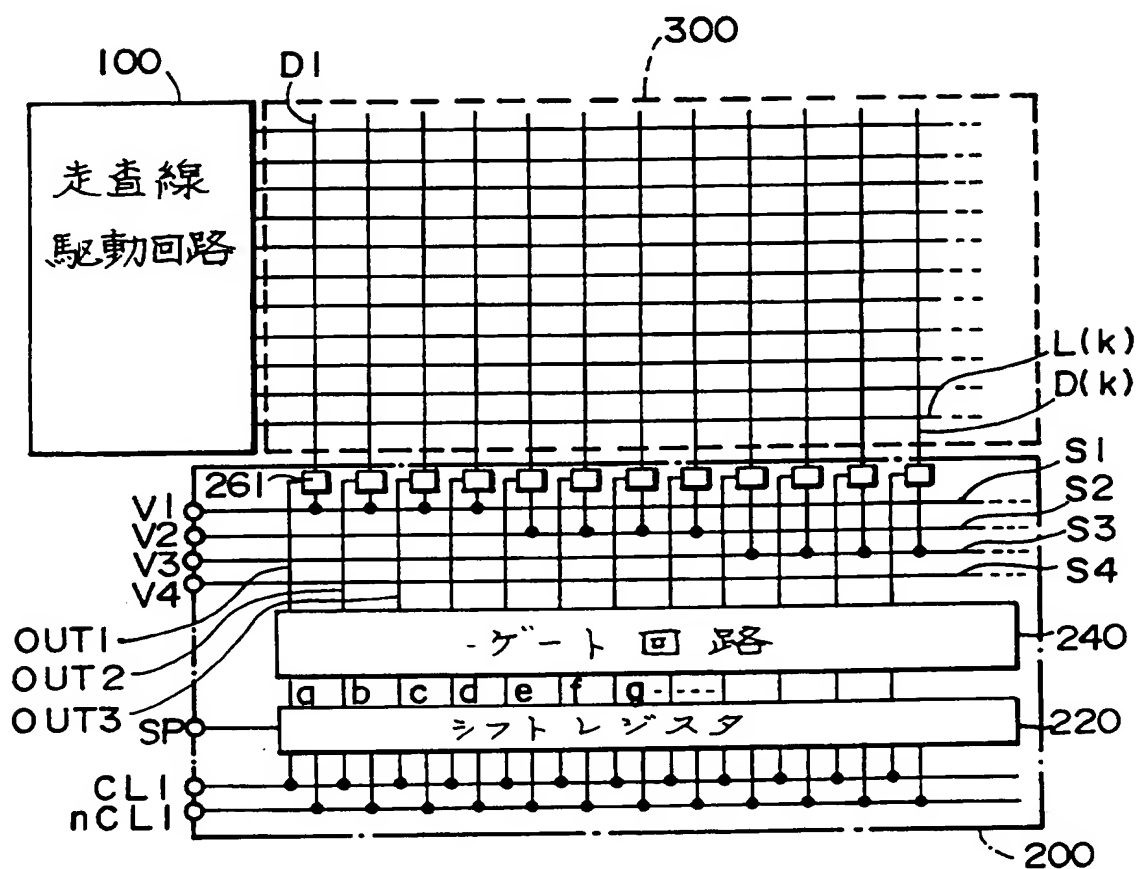
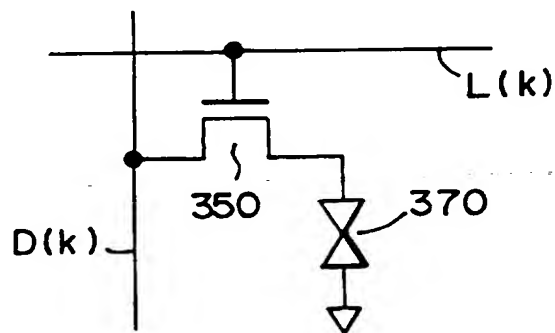
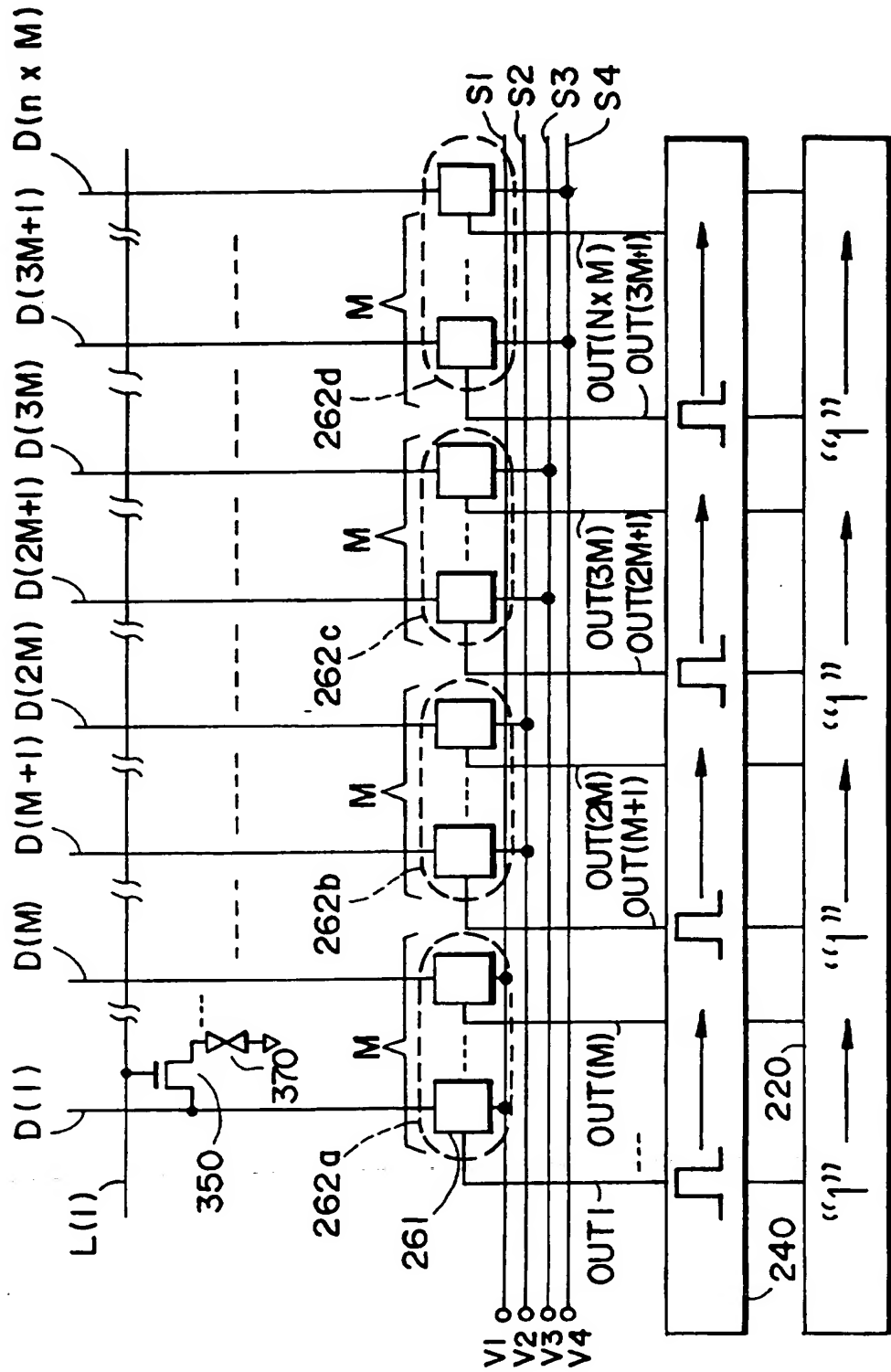


FIG. 1B



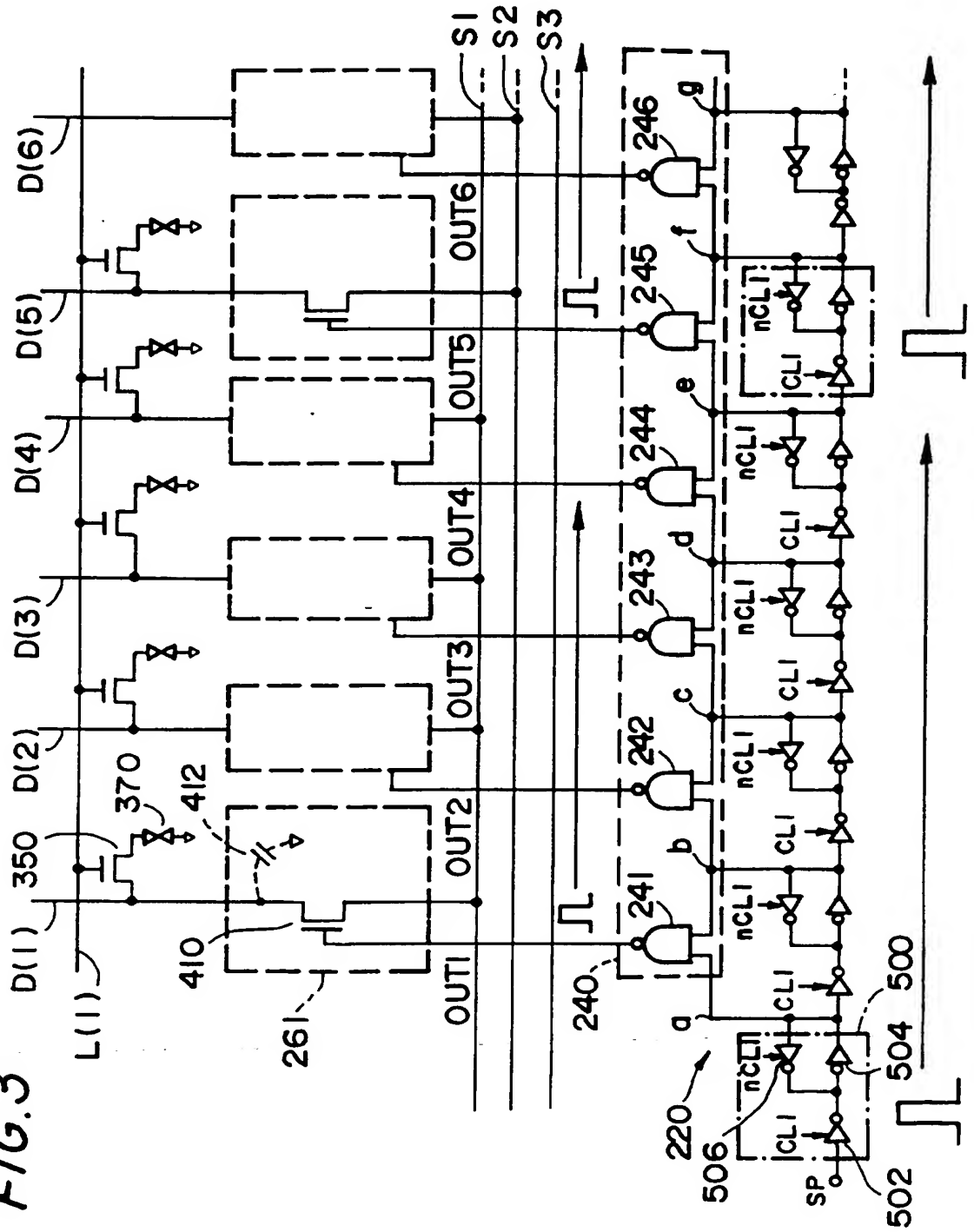
2 / 25

FIG. 2



3/25

FIG. 3

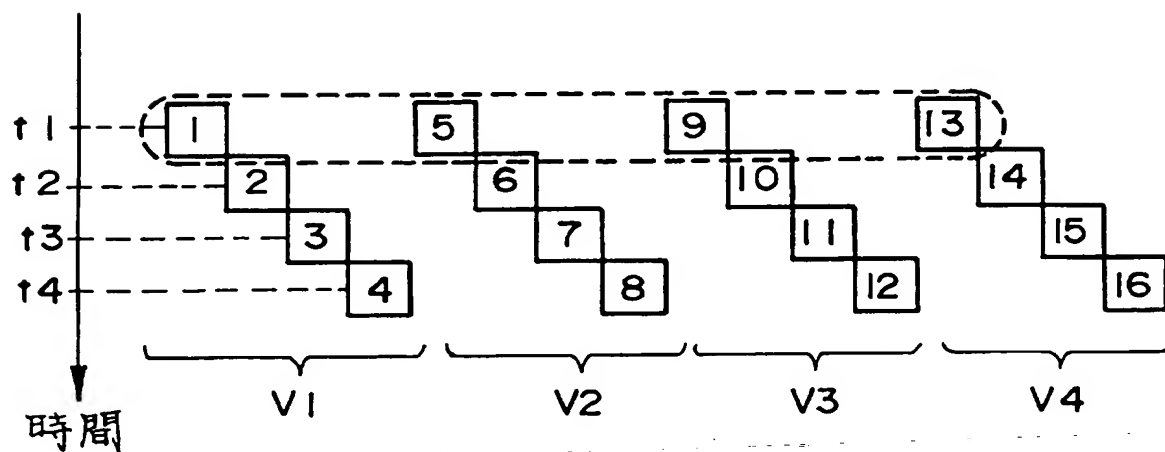


4 / 25

FIG. 4A

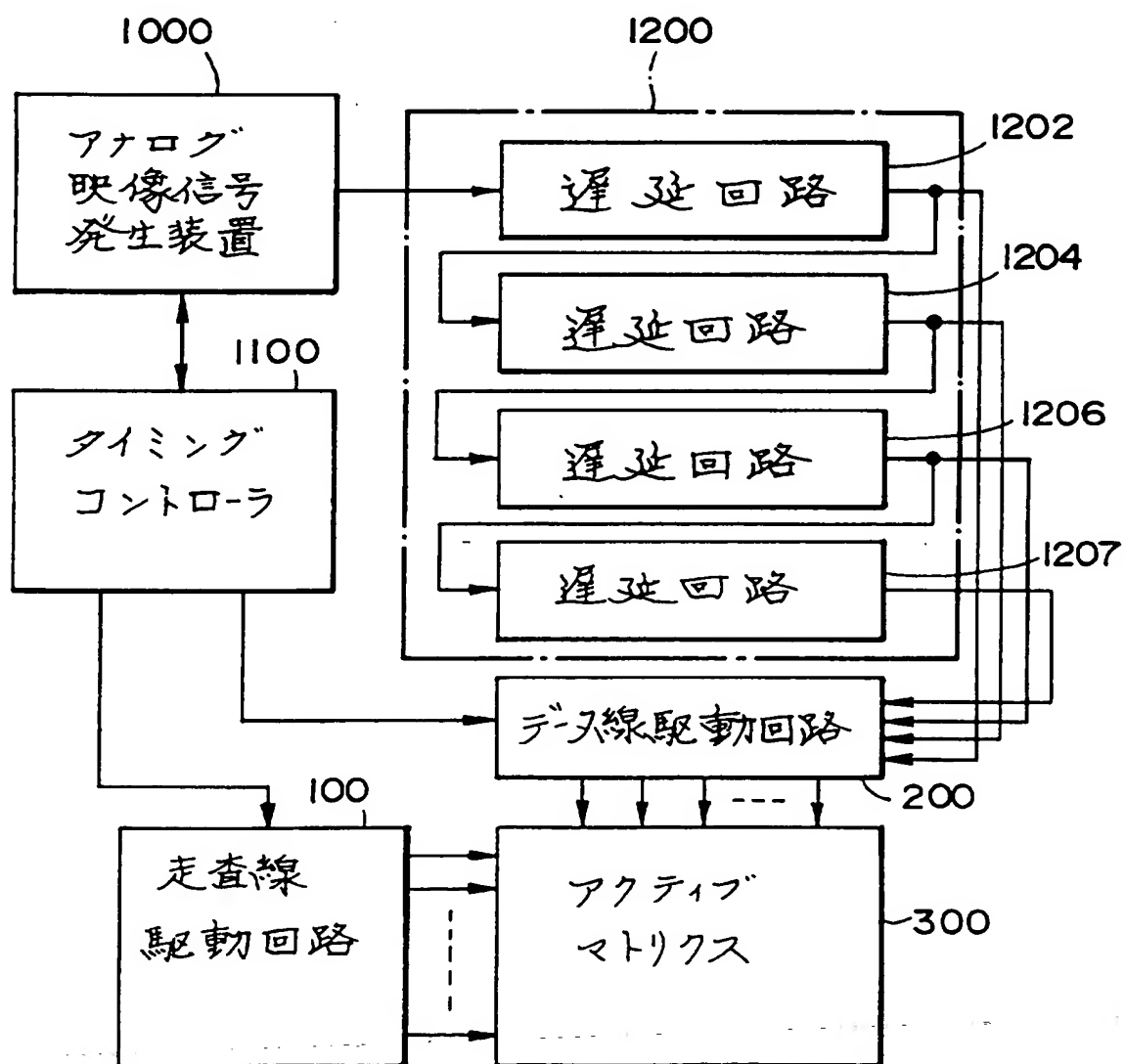
1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
---	---	---	---	---	---	---	---	---	----	----	----	----	----	----	----

FIG. 4B



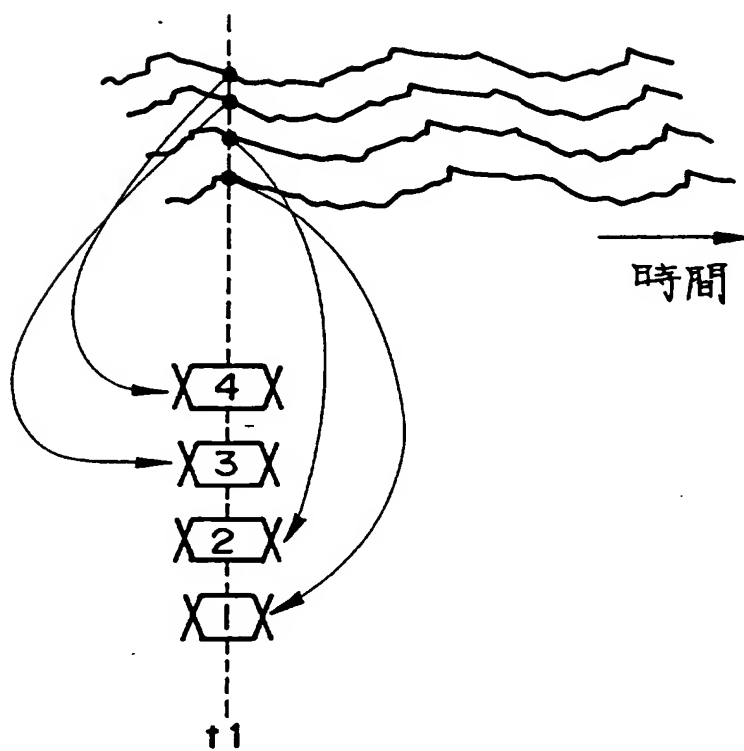
5 / 25

FIG. 5



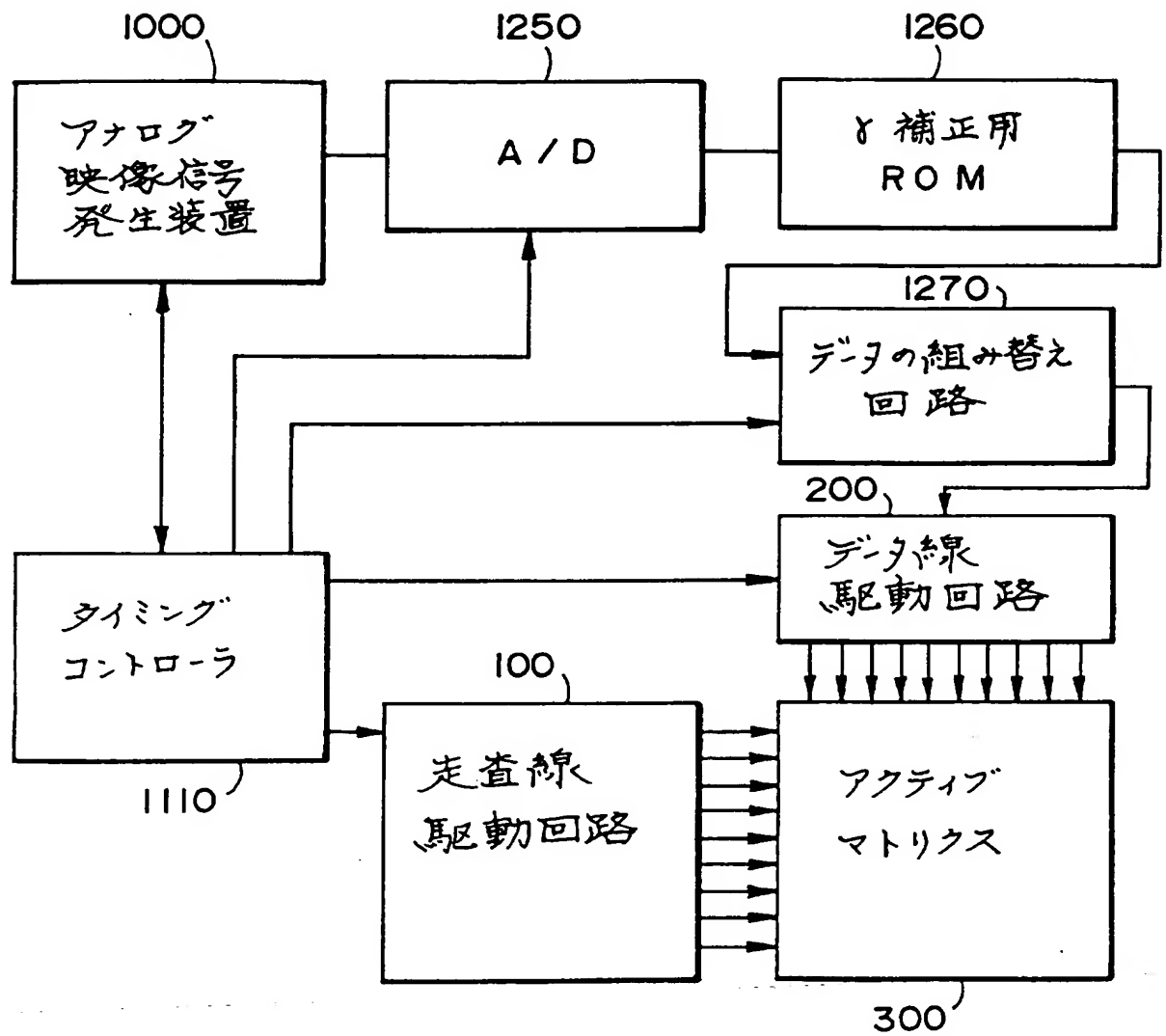
6/25

FIG. 6



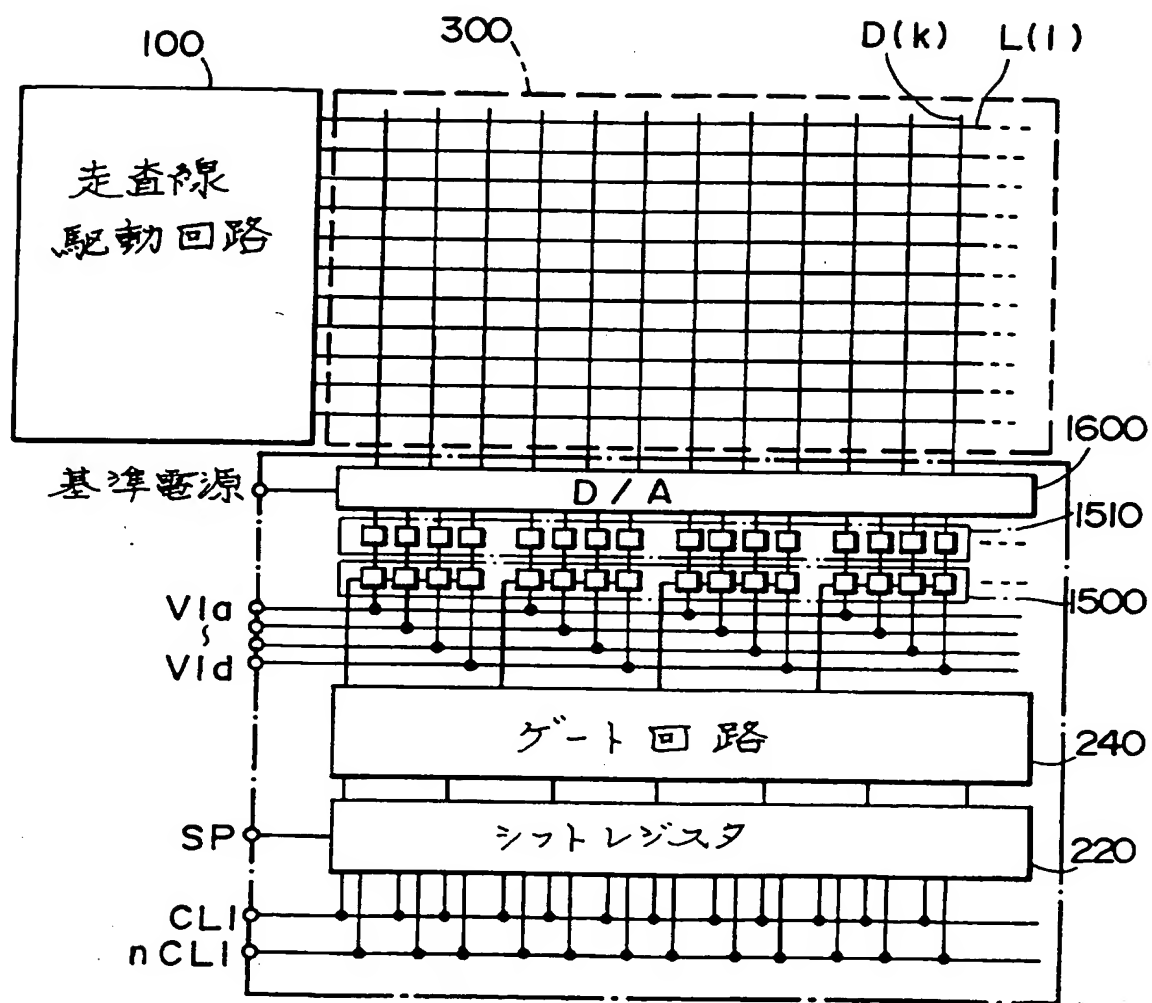
7/25

FIG. 7



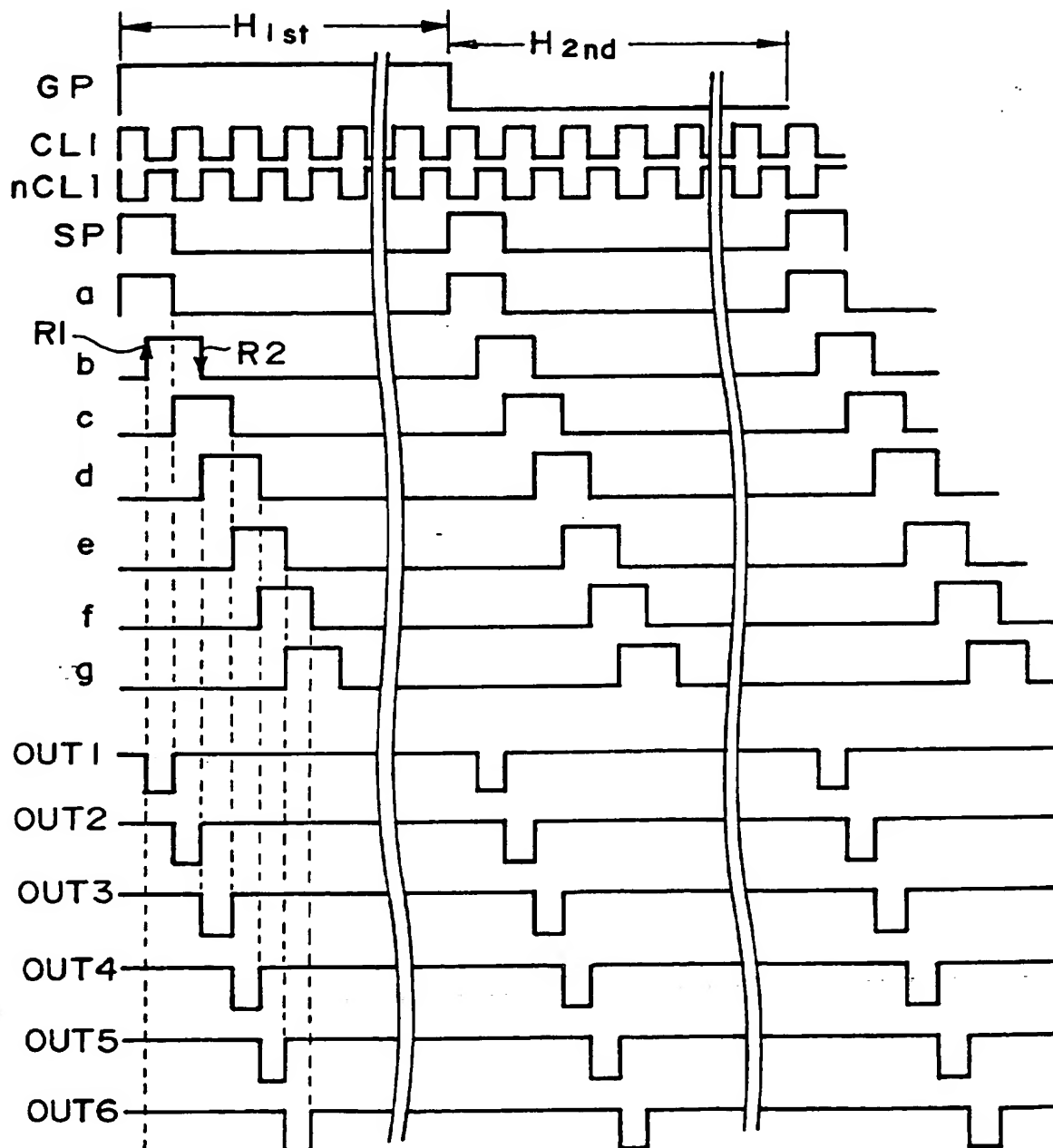
8 / 25

FIG. 8



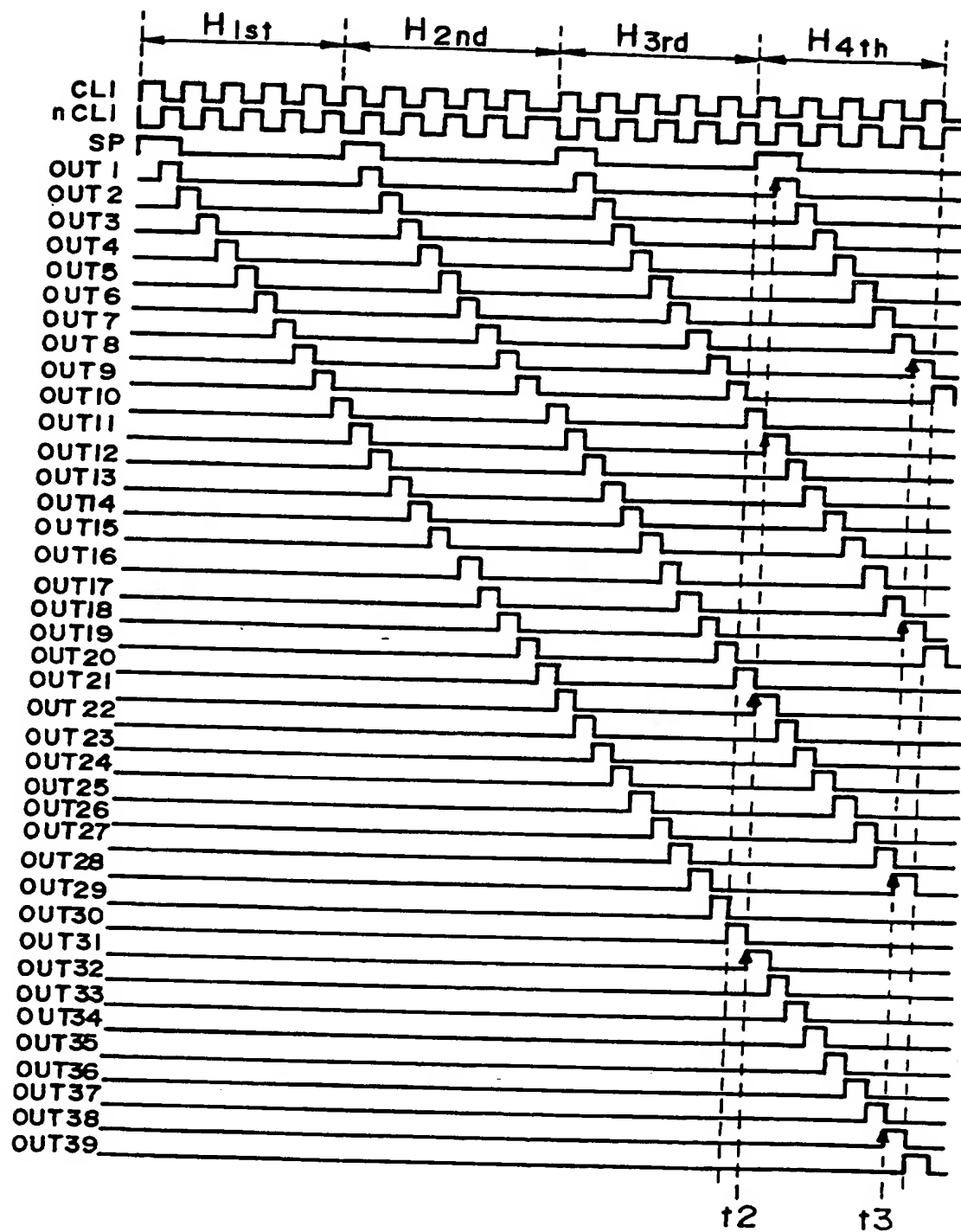
9/25

FIG. 9



10/25

FIG. 10



11 / 25

FIG. 11A

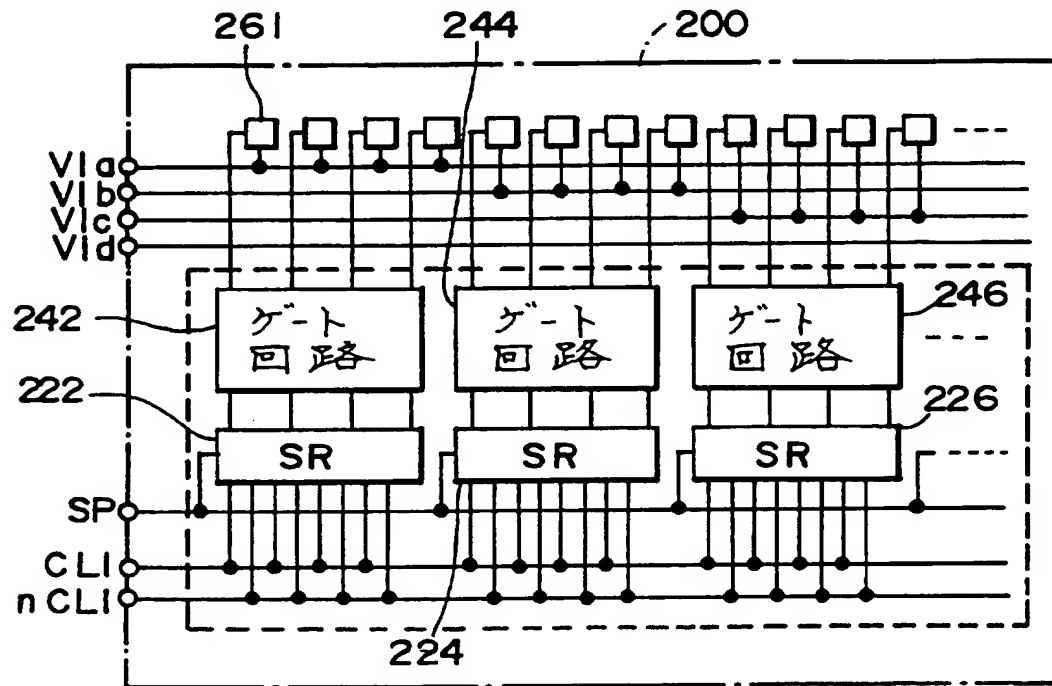
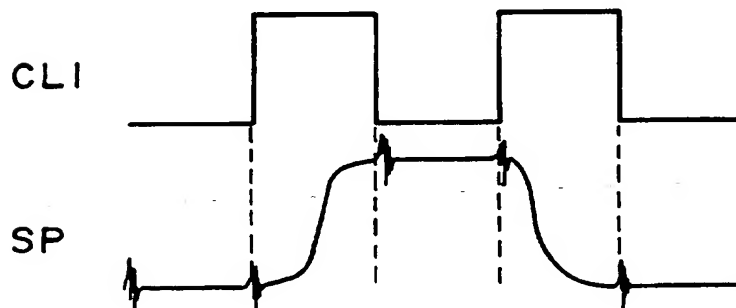


FIG. 11B



12/25

FIG. 12A

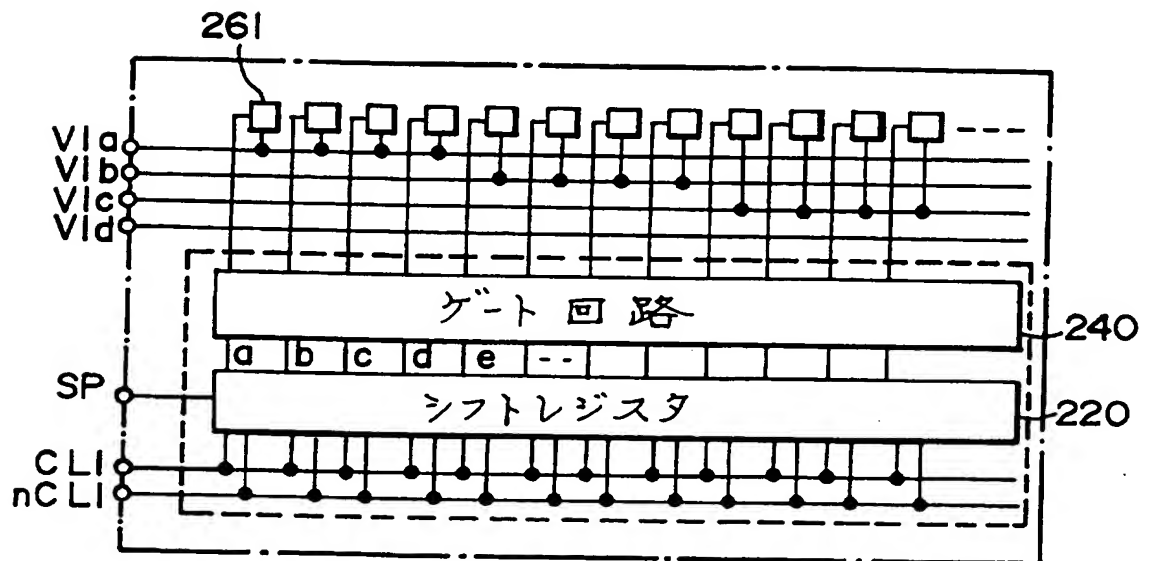
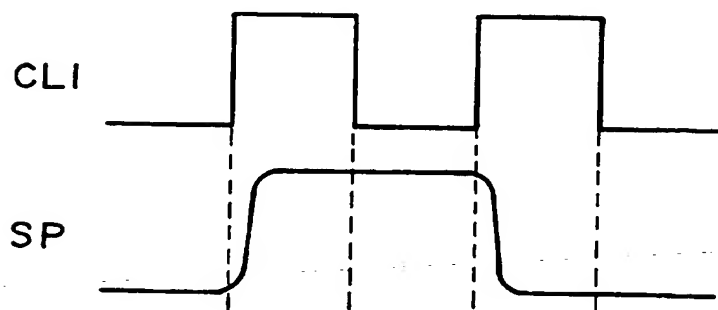


FIG. 12B



13/25

FIG. 13A

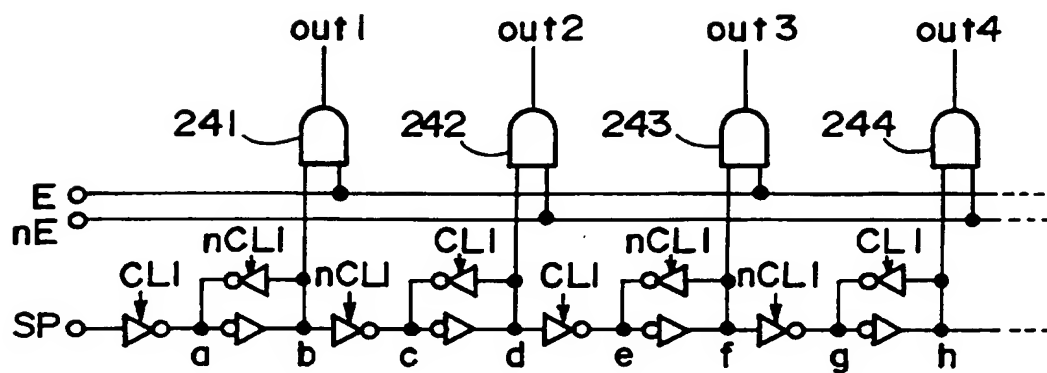
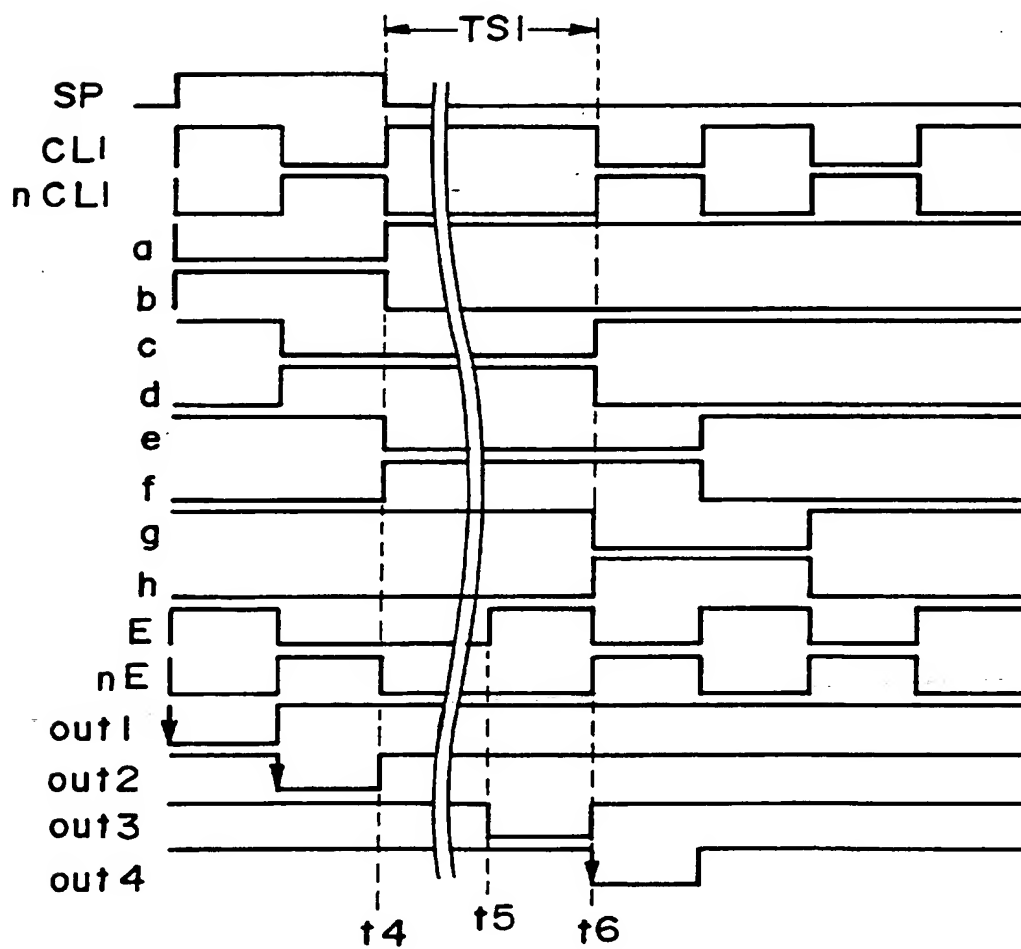
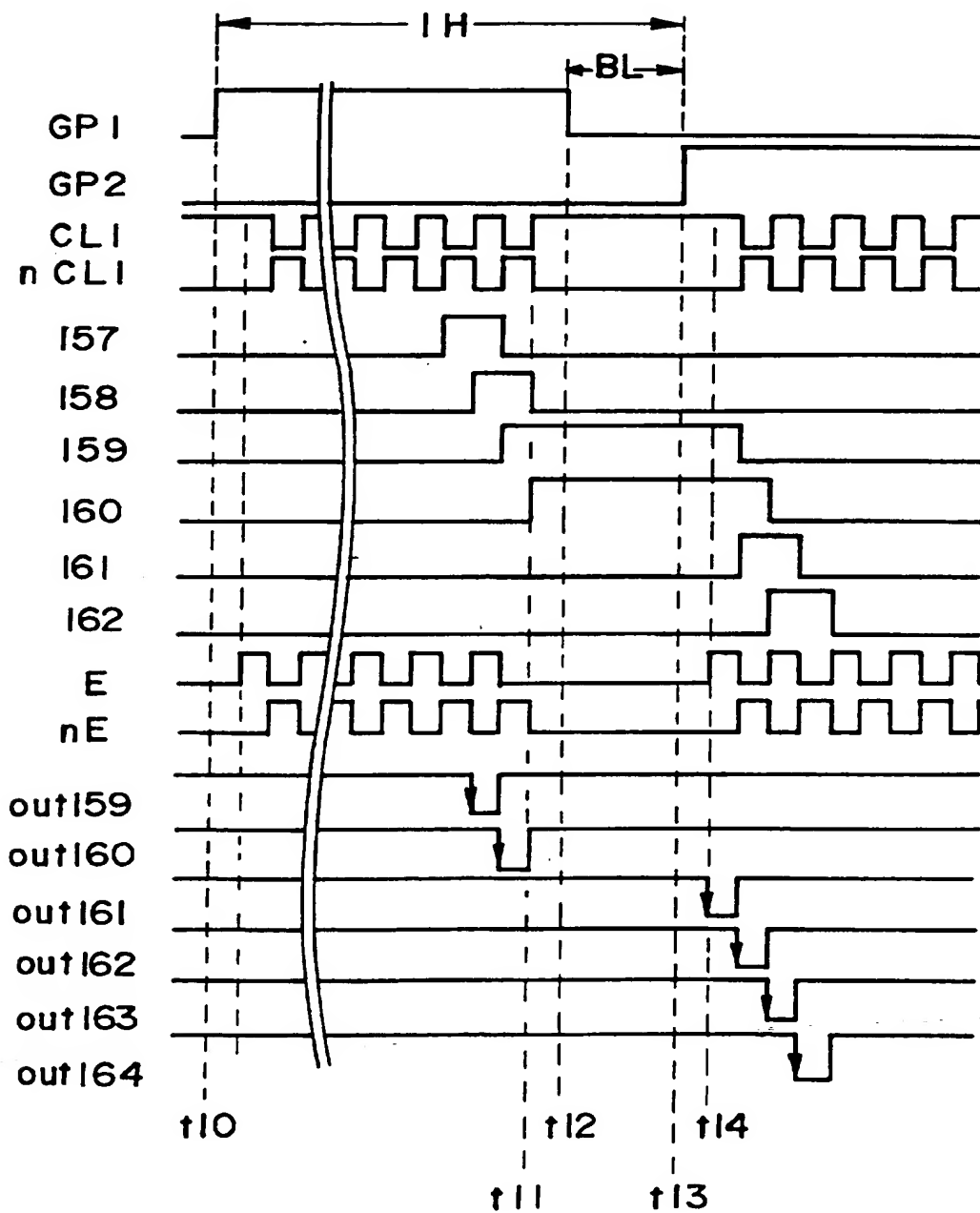


FIG. 13B



14/25

FIG. 14



16/25

FIG. 16A

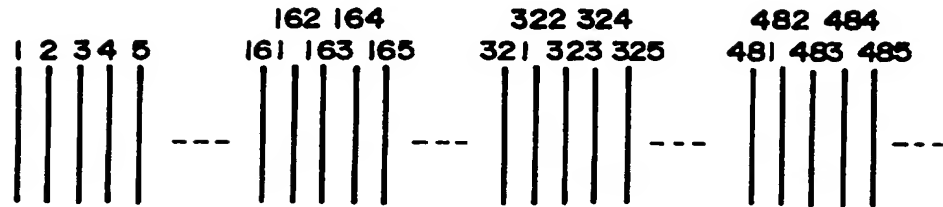


FIG. 16B

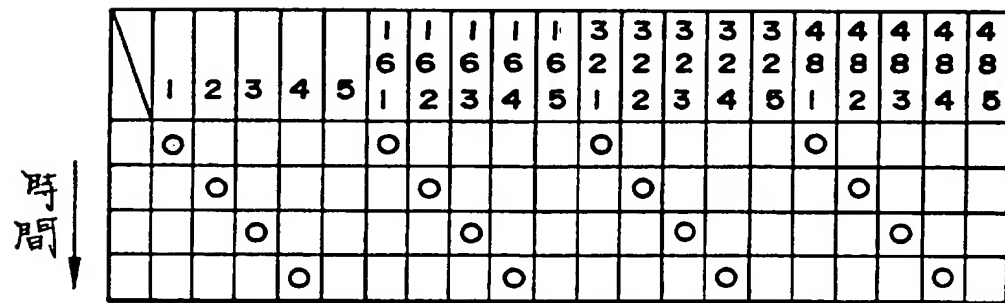
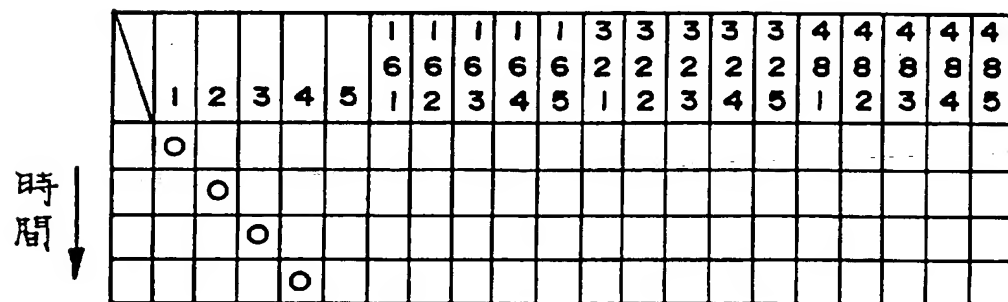
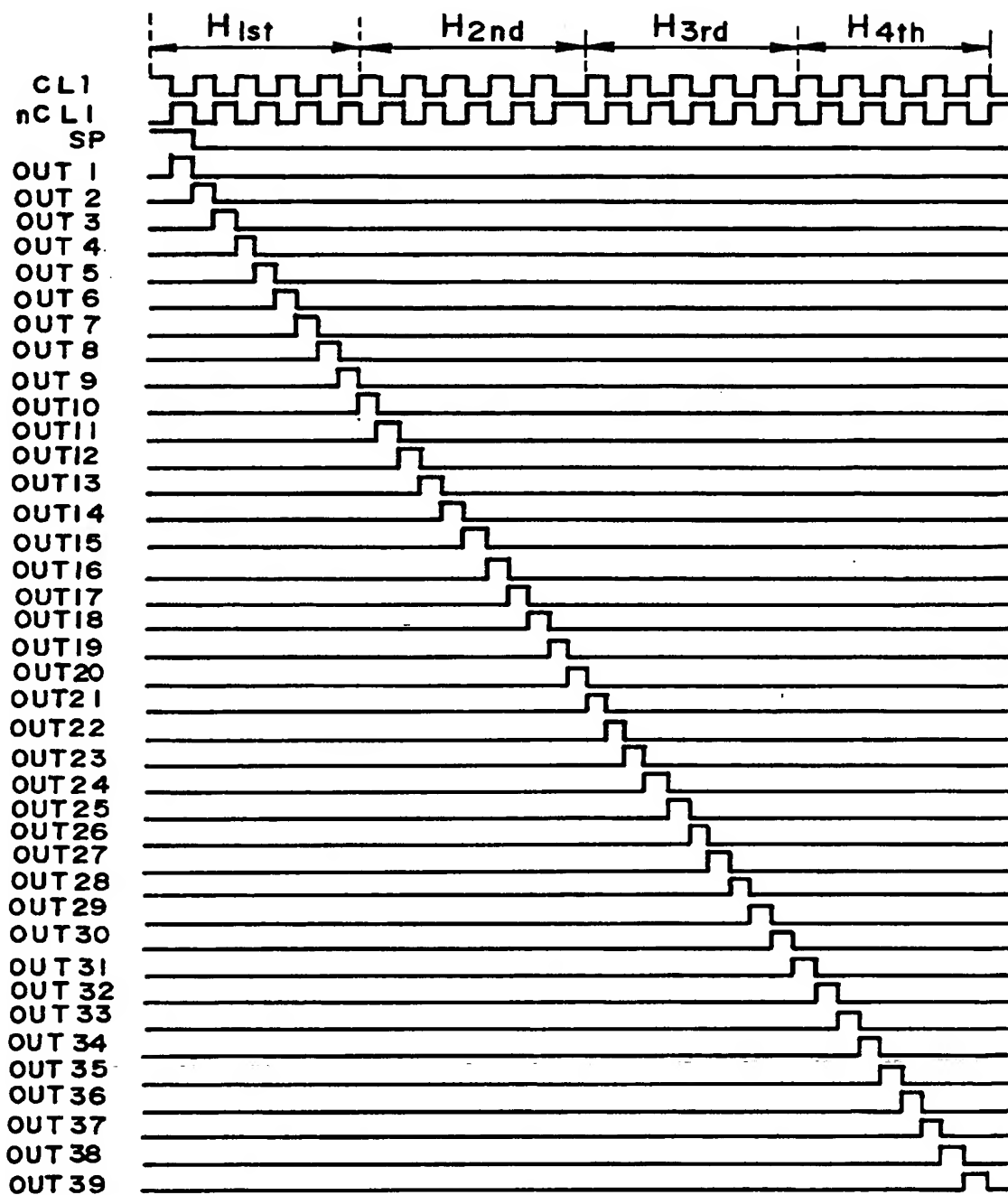


FIG. 16C

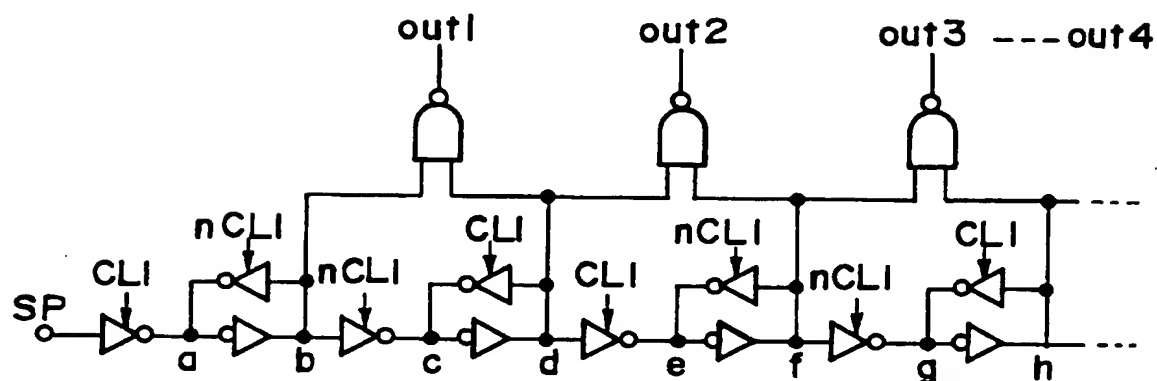
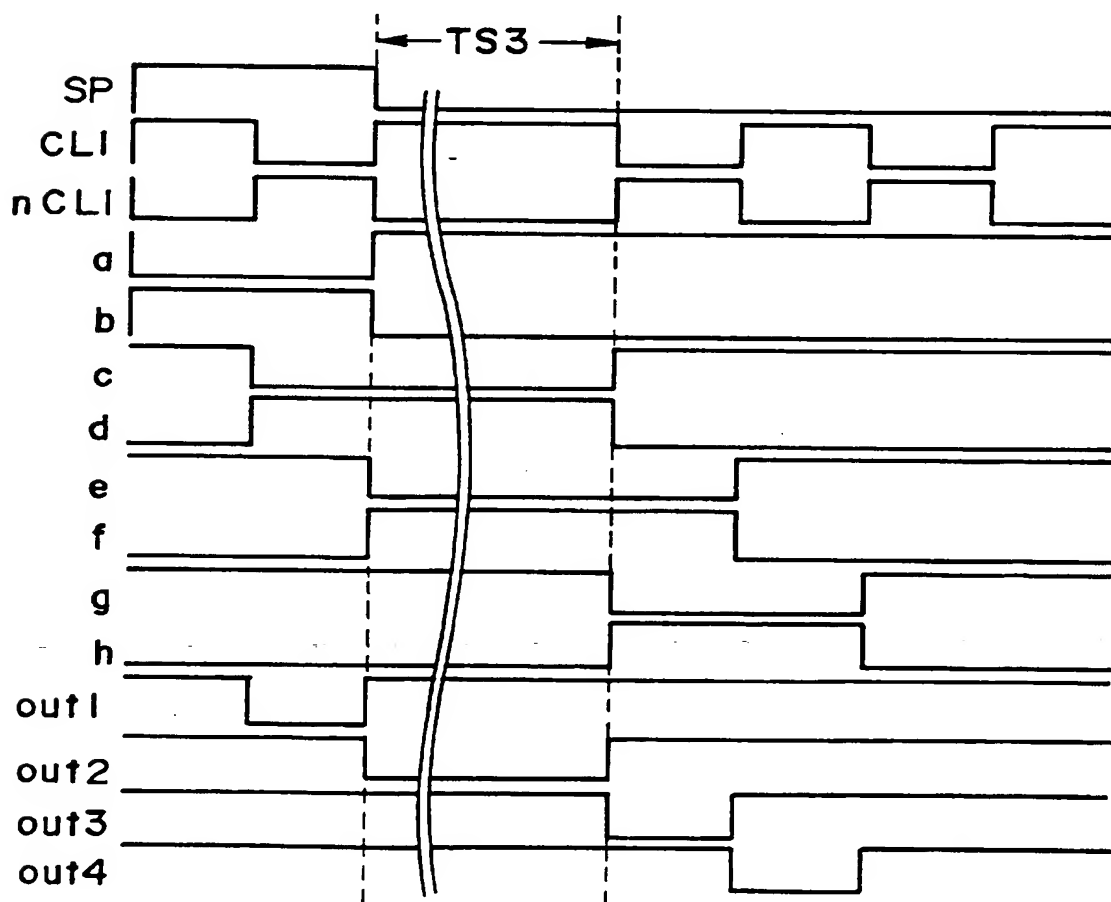


17/25

FIG. 17



18/25

FIG. 18A*FIG. 18B*

19/25

FIG. 19A

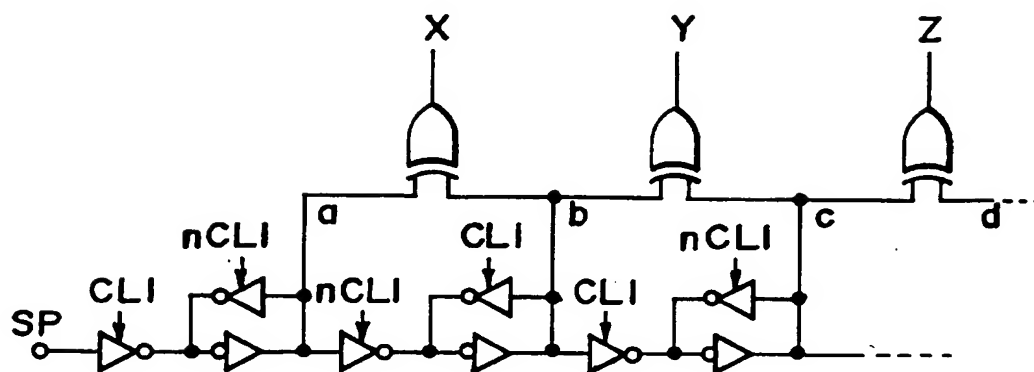
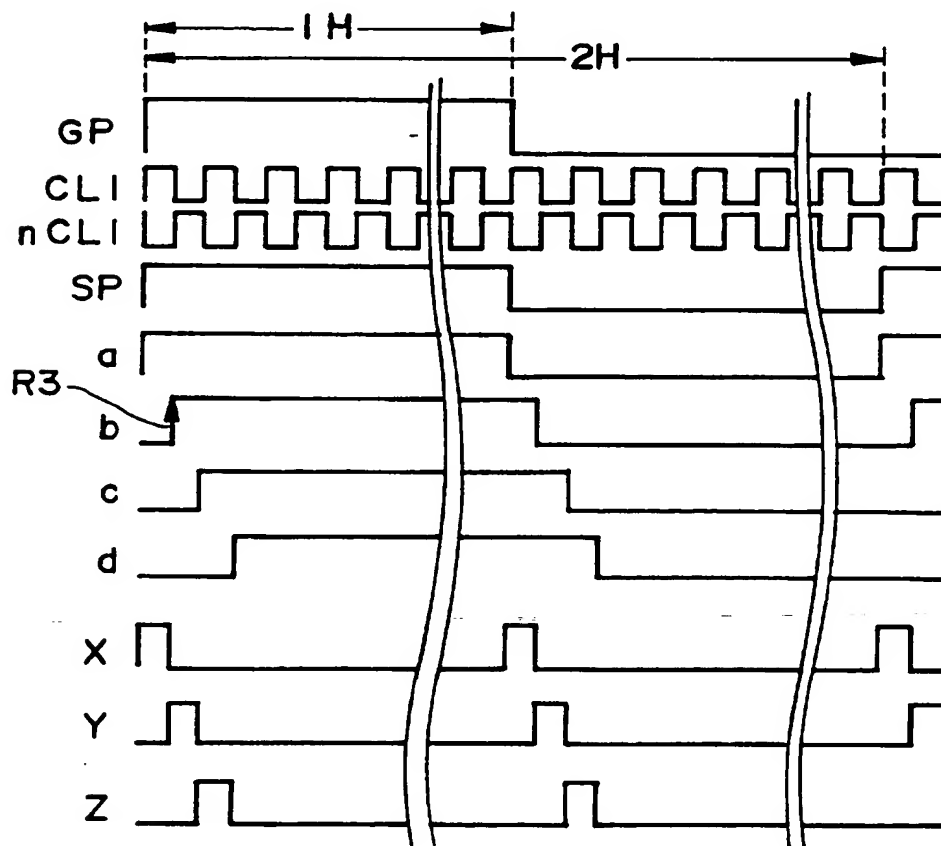
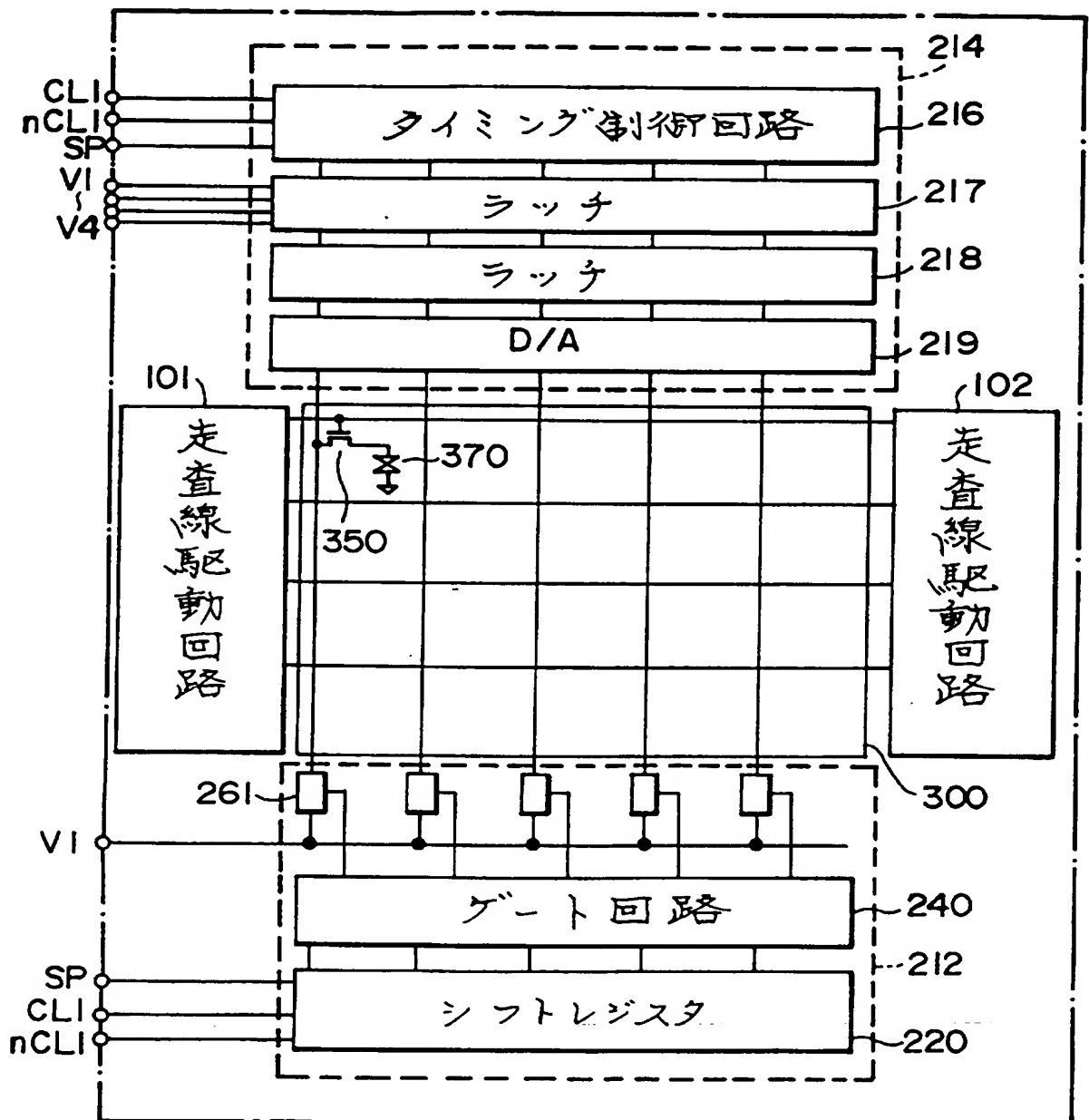


FIG. 19B



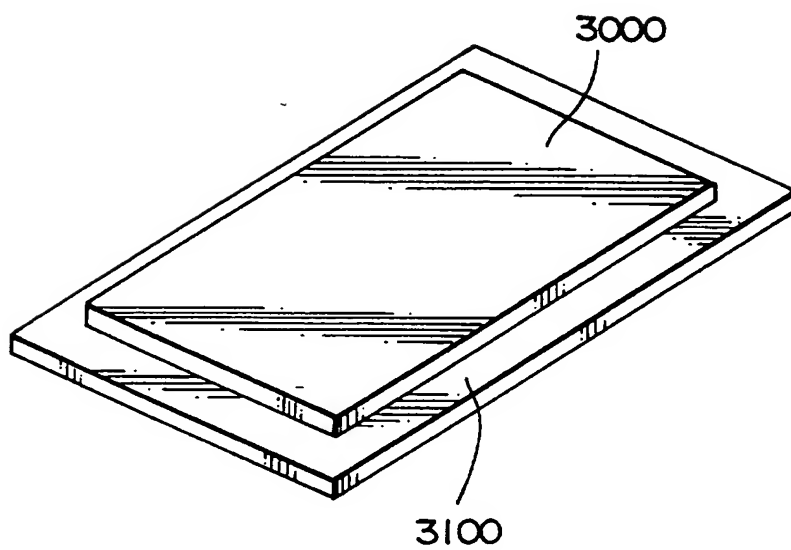
20/25

FIG. 20



21/25

FIG.21



22/25

FIG. 22A

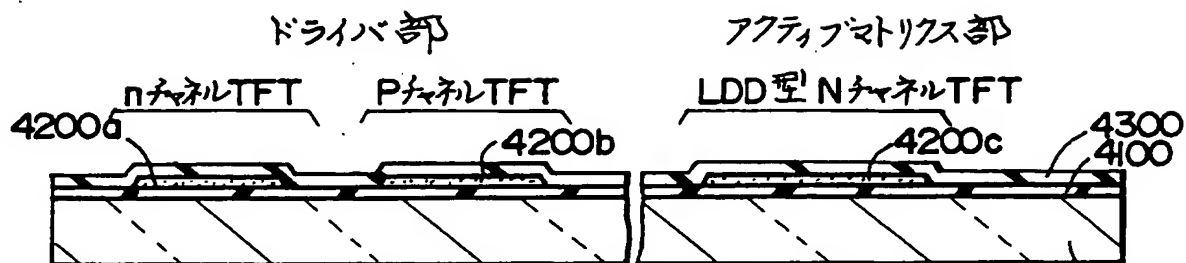


FIG. 22B

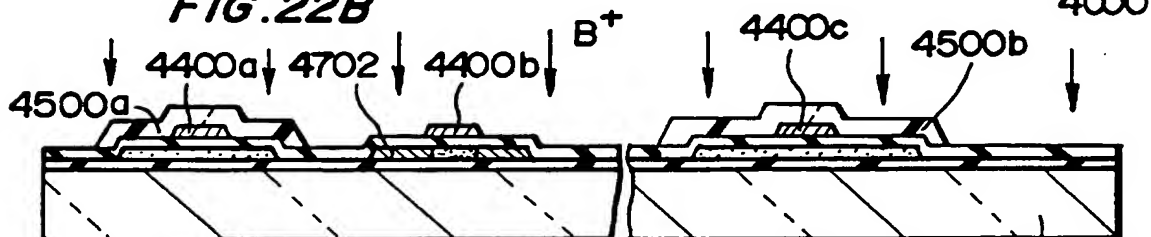


FIG. 22C

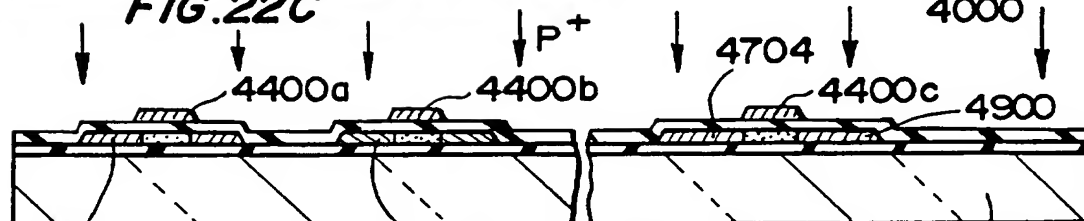


FIG. 22D

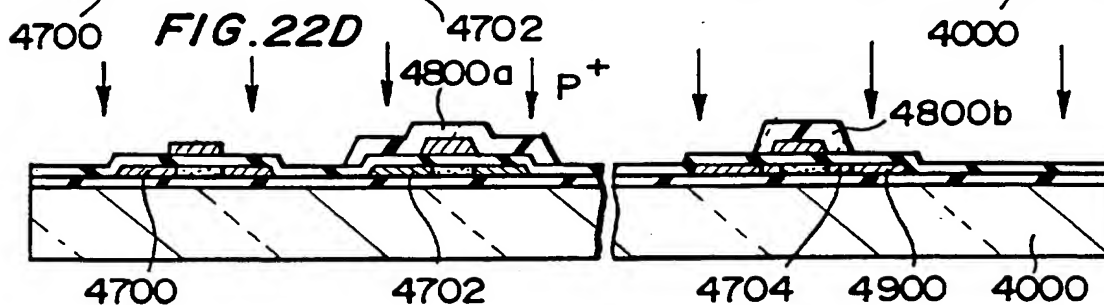
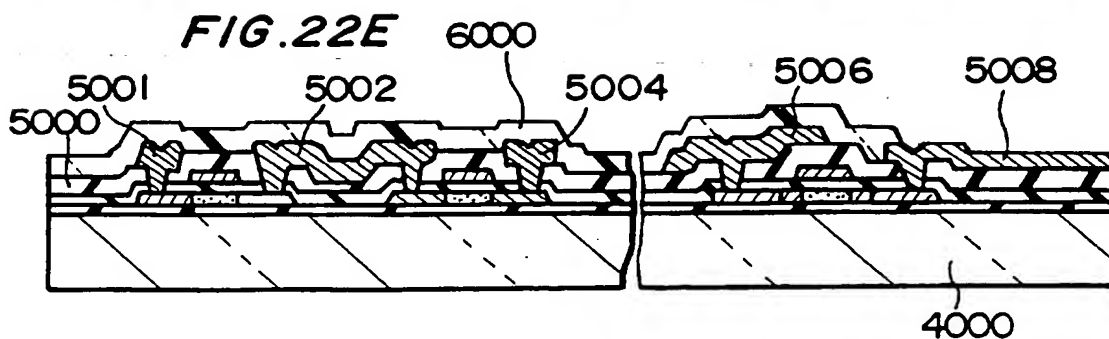


FIG. 22E



23/25

FIG. 23A

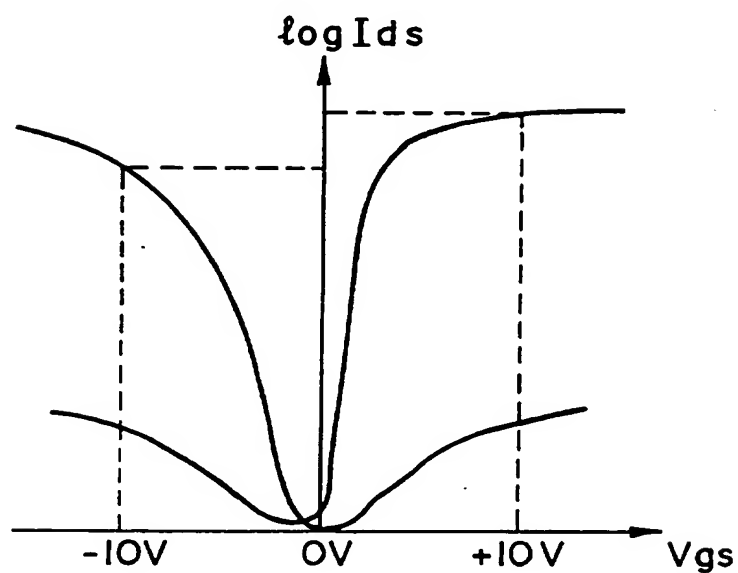
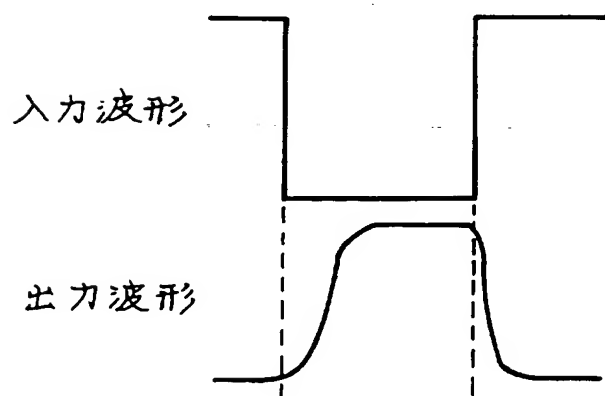


FIG. 23B



FIG. 23C



24/25

FIG. 24A

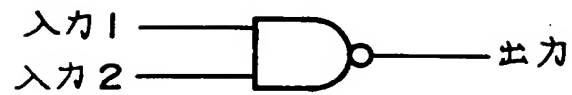


FIG. 24B

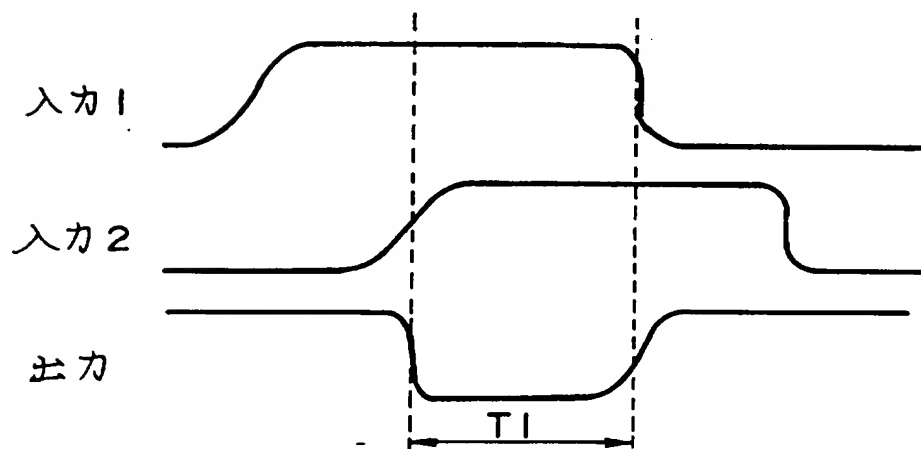


FIG. 24C

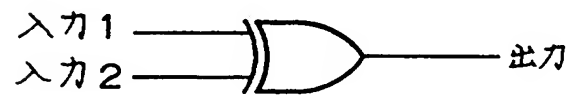
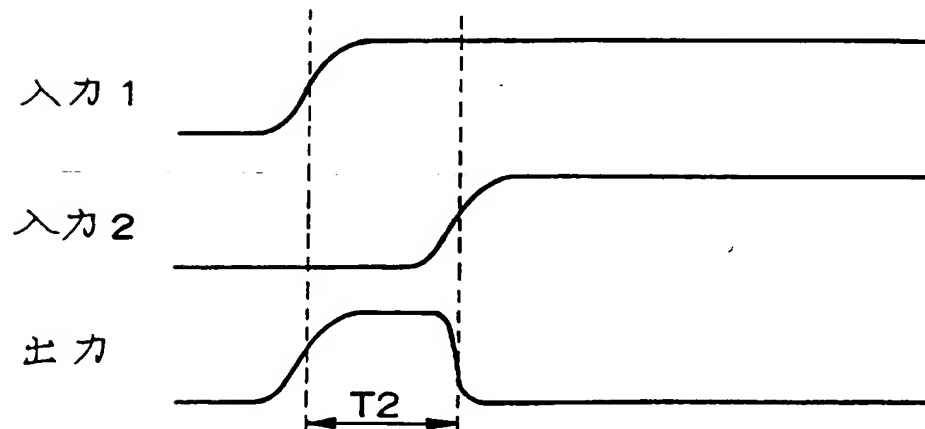


FIG. 24D



25 / 25

FIG. 25A

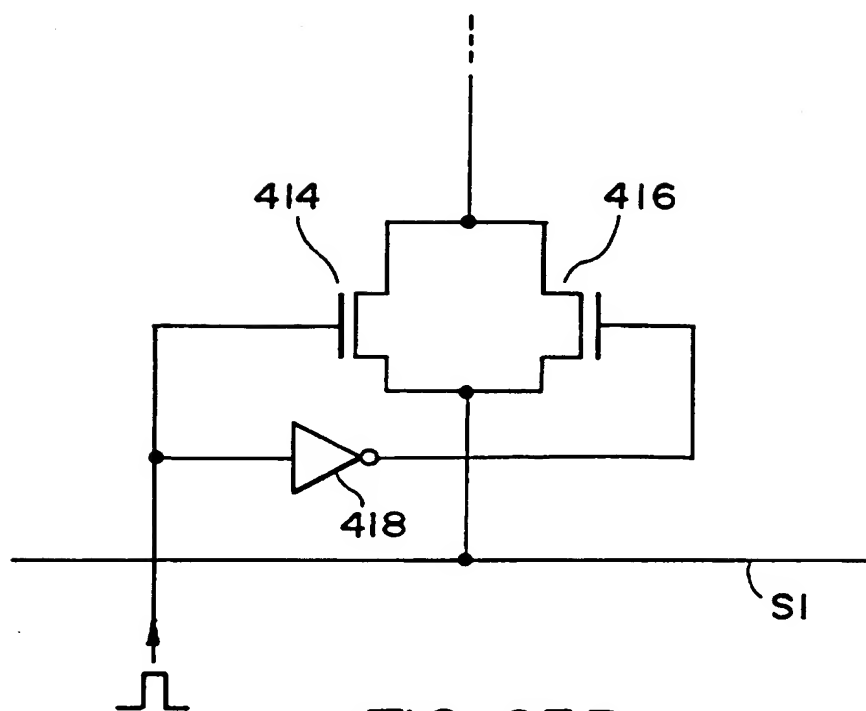


FIG. 25B

